

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.	(11) 공개번호	특2001-0040108
G02F 1 /136	(43) 공개일자	2001년05월15일
(21) 출원번호	10-2000-0061069	
(22) 출원일자	2000년10월17일	
(30) 우선권주장	99-310409 1999년10월29일 일본 (JP)	
(71) 출원인	후지쯔 가부시끼가이샤 아끼구사 나오유키	
(72) 발명자	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 장홍용	
	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔 가부시끼가이샤 내	
	나가히로 요시오	
(74) 대리인	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔 가부시끼가이샤 내 문두현, 문기상	
심사청구 : 없음		
(54) 박막트랜지스터, 액정표시장치 및 그의 제조방법		

요약

본 발명은 유리기관 상에 TFT를 형성할 때, TFT 내부에 발생하는 대전을 제거하여, TFT의 정전 파괴를 회피하는 것을 과제로 한다.

본 발명은 TFT를 구성하는 폴리실리콘 패턴에 TFT의 소스 영역과 드레인 영역을 단락하는 단락 패턴을 추가하고, 상기 단락 패턴을 상기 소스 영역 또는 드레인 영역으로의 배선의 형성과 동시에, 또는 배선이 형성된 후에 제거한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타낸 개관도.

도 2는 종래의 액정표시장치의 구성을 나타낸 단면도.

도 3은 도 1의 액정표시장치의 일부를 확대하여 나타낸 도면.

도 4는 도 3의 TFT 기관에서의 종래의 대전(帶電) 방지 구성을 나타낸 도면.

도 5의 a~c는 도 3의 TFT 기관에서의 다른 대전 방지 구성을 나타낸 도면.

도 6의 a 및 b는 본 발명의 제 1 실시예에 따른 TFT의 제조 공정을 나타낸 도면.

도 7의 a 및 b는 본 발명의 제 2 실시예에 따른 TFT-CMOS 회로의 구성을 나타낸 도면.

도 8의 a~g는 도 7의 TFT-CMOS 회로의 제조 공정을 나타낸 제 1 도면.

도 9의 h~k는 도 7의 TFT-CMOS 회로의 제조 공정을 나타낸 제 2 도면.

도 10은 본 발명의 제 3 실시예에 따른 액정표시장치의 화소 TFT의 구성을 나타낸 도면.

도 11의 a~d는 도 10의 화소 TFT를 포함하는 액정표시장치의 제조 공정을 나타낸 제 1 도면.

도 12의 e~g는 도 10의 화소 TFT를 포함하는 액정표시장치의 제조 공정을 나타낸 제 2 도면.

도 13의 a~c는 본 발명의 제 4 실시예에 따른 화소 TFT를 포함하는 액정표시장치의 제조 공정을 나타낸 도면.

도 14는 본 발명의 제 5 실시예에 따른 화소 TFT의 구성을 나타낸 도면.

도 15는 본 발명의 제 6 실시예에 따른 액정표시장치의 주변회로의 구성을 나타낸 도면.

도 16은 도 15의 구성의 일부를 상세하게 나타낸 도면.

도 17은 도 16의 구성의 일부를 상세하게 나타낸 도면.

도 18은 도 16의 구성의 일부를 상세하게 나타낸 도면.

도 19는 도 16의 구성의 일부를 상세하게 나타낸 도면.

도 20은 도 15의 액정표시장치의 일부를 상세하게 나타낸 도면.

도 21은 도 15의 액정표시장치의 일부를 상세하게 나타낸 도면.

도 22는 본 발명의 제 7 실시예에 따른 액정표시장치의 구성을 나타낸 도면.

도 23은 도 22의 실시예의 원리를 설명하는 도면.

도 24는 도 22의 구성의 일례를 나타낸 도면.

도 25는 본 발명의 제 7 실시예에 따른 저항값의 최적화를 나타낸 도면.

도 26은 본 발명의 제 8 실시예를 나타낸 도면.

도 27의 a 및 b는 본 발명의 제 9 실시예를 나타낸 도면.

도 28의 a 및 b는 본 발명의 제 9 실시예를 나타낸 다른 도면.

도 29의 a 및 b는 본 발명의 제 10 실시예를 나타낸 도면.

도 30은 본 발명의 또 다른 실시예를 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : 액정층	1A : TFT 기관
(1A) ₁ ~ (1A) ₁₀ : 영역	1AI : 층간절연막
1AL : 편광판	1B : 대향기관
1BI : 평탄화막	1BM : 차광막
1C : 실링	1CF : 컬러필터
1c : 인출단자	1T0 : 화소전극
1M0 : 분자배향막	10 : 유리기관
11 : 화소 TFT	11C : 폴리실리콘 채널 영역
11D : 폴리실리콘 드레인 영역	11S : 폴리실리콘 소스 영역
11R : 폴리실리콘 단락(短絡) 패턴	
11R ₁ , 11R ₂ : 폴리실리콘 패턴 연장부	
12 : 신호전극	12 ₁ : 시프트 레지스터 회로
12 ₂ : 버퍼 회로	12 ₃ : 외부부착 선택회로
12 ₄ : TFT-CMOS 아날로그 스위치 회로	12A, 12A ₁ ~ 12A ₃ , 13A : 접속단자
12B : 신호측 주변회로	12D : 드레인 전극
12d : 드레인측 콘택트 홀	12G : 게이트 전극
12g : 게이트 콘택트 홀	12S : 소스 전극
12s : 소스측 콘택트 홀	13 : 주사전극
13 ₁ : 쌍방향 스위치 회로	13 ₂ : 시프트 레지스터 회로
13 ₃ : 멀티플렉서 회로	13 ₄ : 출력 버퍼 회로
13B : 주사측 주변회로	13R : 단락 패턴 분단영역
13S : 단자 단락 패턴	14 : 화소전극
15S : 주변부 단락 링	16 : 시험 패드
20 : 유리기관	21, 41, 61 : 폴리실리콘 패턴

21NC : n형 TFT 채널 영역	21ND : n형 드레인 영역
21NS : n형 소스 영역	21PC : p형 TFT 채널 영역
21PD : p형 드레인 영역	21PS : p형 소스 영역
21S : 폴리실리콘 단락 패턴	
21S ₁ , 21S ₂ : 폴리실리콘 패턴 연장부	
22 : Al 전극	
22G, 22NG, 22PG, 43G, 63G : 게이트 전극	
23G : 게이트 콘택트 홀	
23ND : n형 드레인 콘택트 홀	23NS : n형 소스 콘택트 홀
23PD : p형 드레인 콘택트 홀	23PS : p형 소스 콘택트 홀
23S : 개구부	24, 45 : 도전막
24D : 드레인 전극	24G, 45G, 65G : 게이트 배선 패턴
24NS : n형 소스 전극	24PS : p형 소스 전극
31 : 주변회로 TFT	40 : TFT 기관
41D, 61D : 폴리실리콘 드레인 영역	41S, 61S : 폴리실리콘 소스 영역
41SC : 폴리실리콘 단락 패턴	43G, 63G : 게이트 산화막
44D, 44G, 44S, 64D, 64G, 64S : 콘택트 홀	
45D, 65D : 드레인 영역	45S, 65S : 소스 영역
44A, 46A : 개구부	47 : 투명 화소전극
48 : 분자배향막	210 : 비정질 Si막
210p : 폴리실리콘막	212, 212G : 게이트 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 액정표시장치에 관한 것으로, 특히, 박막트랜지스터를 갖는 액티브 매트릭스 구동방식의 액정표시장치 및 그의 제조방법에 관한 것이다.

액정표시장치는 종래로부터 낮은 소비전력에 의해 소형의 정보 표시 장치로서, 이른바 노트북형 퍼스널 컴퓨터와 같은 휴대형 정보 처리 장치에 널리 사용되고 있다.

한편, 액정표시장치의 용도는 이러한 휴대형 정보 처리 장치에 한정되는 것이 아니라, 오늘날에는 이른바 데스크 탑(desk-top)형의 정보 처리 장치에서도 종래의 CRT 표시장치를 치환하도록 되어 있다. 또한, 액정표시장치는 이른바 하이비전(HDTV)의 표시장치로서도 유망하며, 특히, 투사형 HDTV 표시장치로의 응용이 연구되고 있다.

이것들 고성능 대면적 액정표시장치의 경우, 종래의 단순 매트릭스 구동방식을 사용한 것에서는 응답 속도 또는 콘트라스트 비율, 색의 순도(純度) 등의 점에서 필요한 수단을 만족시킬 수 없기 때문에, 각각의 화소를 대응하는 박막트랜지스터(TFT)에 의해 구동시키는 액티브 매트릭스 구동방식이 사용되고 있다. 액티브 매트릭스 구동방식의 액정표시장치에서는, 종래로부터 TFT의 활성영역에 비정질 실리콘을 사용한 비정질 실리콘 액정표시장치가 사용되고 있으나, 비정질 실리콘은 전자 이동도가 작고, 상기 고성능 액정표시장치에서 요구되는 수단을 만족시킬 수 없다. 따라서, 이것들 고성능 액정표시장치에서는 TFT로서 폴리실리콘 TFT를 사용하는 것이 바람직하다.

도 1은 종래의 액티브 매트릭스 구동형 액정표시장치의 개략적인 구성을 나타낸다.

도 1을 참조하면, 액정표시장치는 다수의 TFT 및 이것과 함께 작용하는 투명 화소전극을 유지하는 TFT 유리기관(1A)과, 상기 TFT 기관(1A) 상에 형성된 대향 유리기관(1B)으로 이루어지고, 기관(1A)과 기관(1B) 사이에는 액정층(1)이 밀봉부재(1C)에 의해 봉입(封入)되어 있다. 도시한 액정표시장치에서는, 상기 투명 화소전극을 대응하는 TFT를 통하여 선택적으로 구동시킴으로써, 액정층 중에서 상기 선택된 화소전극에 대응하여 액정분자의 배향을 선택적으로 변화시킨다. 또한, 상기 유리기관(1A, 1B)의 외측에는 각각 편광판(도시 생략)이 직교 니콜(Nicol) 상태로 설치되어 있다. 또한, 유리기관(1A, 1B)의 내측에는 상기 액정층(1)에 접하도록 분자배향막(도시 생략)이 형성되어, 액정 분자의 배향 방향을 규제한다.

도 2는 도 1의 액정표시장치의 단면을 나타낸다.

도 2를 참조하면, 상기 TFT 유리기관(1A) 상에는 다수의 화소 TFT(11) 및 이것을 구동시키는 주변회로(1n)가 형성되어 있으며, 접속단자 내지 패드 전극(1c)이 실(1C)의 외측에 형성되어 있다. 상기 주변회로(1n)도 TFT로 구성되어 있으며, 상기 TFT 유리기관(1A) 상에는 상기 실(1C)에 의해 둘러싸인 영역 내에서 상기 주변회로(1n) 및 화소 TFT(11)를 덮도록 층간절연막(1u)이 형성되어 있다. 상기 층간절연막(1u) 상에는 상기 화소 TFT(11)의 각각에 콘택트하도록 다수의 화소전극(14)이 형성되어 있으며, 상기 화소전극을 덮도록 상기 층간절연막(1u) 상에는 분자배향막(1w)이 상기 봉입된 액정층(1)에 접하도록 형성된다.

또한, 상기 대향 유리기관(1B) 상에는 상기 화소전극(14)에 대응하여 다수의 컬러필터 패턴(1v)이 형성되어 있으며, 상기 컬러필터 패턴(1v) 사이의 부분에는 차광 패턴(1m)이 형성되어 있다. 또한, 상기 대향 유리기관(1B) 상에는 상기 컬러필터 패턴(1v) 및 차광 패턴(1m)을 덮도록 평탄화 절연막(1u)이 형성되고, 상기 평탄화 절연막(1u) 상에는 일정하게 대향 투명전극(1m)이 형성되어 있다. 또한, 상기 대향 투명전극(1m)은 다른 분자배향막(1w)에 의해 덮이고, 상기 다른 분자배향막(1w)이 상기 액정층(1)에 접한다. 상기 TFT 기관(1A) 상의 분자배향막(1w)과 상기 대향기관(1B) 상의 분자배향막(1w)은 상기 액정층(1) 중의 액정 분자의 배향 방향을 규제한다.

또한, 상기 TFT 유리기관(1A)의 하면에는 제 1 편광 필터막(1n)이, 상기 대향 유리기관(1B)의 상면에는 제 2 편광 필터막(1m)이 편광축의 방향이 서로 직교하는 것과 같은 관계로 형성되어 있다.

도 3은 상기 TFT 유리기관(1A)의 일부를 확대하여 나타낸다.

도 3을 참조하면, 상기 유리기관(1A) 상에는 주사 신호가 공급되는 다수의 패드 전극(13A) 및 이것으로부터 연장되는 다수의 주사전극(13)과, 비디오 신호가 공급되는 다수의 패드 전극(12A) 및 이것으로부터 연장되는 다수의 신호전극(12)이

주사전극(13)의 연장방향과 신호전극(12)의 연장방향이 대략 직교하도록 형성되어 있고, 상기 주사전극(13)과 상기 신호전극(12)과의 교점에는 상기 TFT(11)가 형성되어 있다. 또한, 상기 기판(1A) 상에는 각각의 TFT(11)에 대응하여 상술한 투명 화소전극(14)이 형성되어 있고, 각각의 TFT(11)는 대응하는 주사전극(13) 상의 주사 신호에 의해 선택되어, 대응하는 신호전극(12) 상의 비디오 신호에 의해 함께 작용하는 투명 화소전극(14)을 구동시킨다. 도 3에서는 상기 패드 전극(12A, 13A)이 도 2의 패드 전극(1c)에 대응한다.

그런데, 이러한 절연성의 유리기관에는 TFT의 제조 공정 시에 다양한 원인에 의해 정전기가 발생하는 경우가 있다. 예를 들어, 상기 기관을 다양한 가공장치나 반송장치, 지그(jig), 기관 홀더 등에 장착하거나 떼어낸 경우, 외부로부터 기관에 정전기가 침입하는 경우가 있다. 또한, 상기 기관 상에서 TFT를 제조할 때에 사용되는 다양한 플라즈마 공정, 예를 들어, 플라즈마 CVD 공정, 스퍼터링 공정, RIE 공정에 기인하여, 기관 내부에서 정전기가 축적되는 경우가 있다. 이러한 플라즈마 공정에서는, 기관 상의 도체 패턴 또는 확산 영역이 안테나로서 작용하나, 그때의 안테나의 실질적인 면적의 차이에 의해 기관 상에 전위차가 야기된다. 기관 자체는 절연성이기 때문에, 이와 같이 하여 야기된 전위차는 해소되지 않고, TFT에 회복불가능한 영구적 파괴, 부분적으로 회복 가능한 반영구적 파괴, 역치 전압의 변동에 의한 폭주나 이동도의 저하에 의한 특성 열화(劣化), 잠재적 결함에 기인하는 장기신뢰성의 저하 등이 야기된다. 그 결과, 액정표시장치의 제조수율이 저하하게 된다.

이러한 문제점을 회피하기 위해, 종래로부터 복수의 패널 영역을 포함하는 공통 유리기관 상에 각각의 패널 영역을 둘러싸도록 주변부 단락 링을 형성하고, 상기 패널 영역 중의 TFT를 상기 주변부 단락 링에 접속함으로써, 기관 상에서의 전하의 축적을 해소하는 것이 실행되고 있다.

도 4는 각각의 패널 영역에 주변부 단락 링을 형성한 공통 유리기관(100)의 예를 나타낸다. 다만, 도 4 중에서 상술한 부분에는 동일한 참조부호를 첨부하여, 설명을 생략한다.

도 4를 참조하면, 상기 공통 유리기관(100) 상에는 점선으로 나타낸 스크라이브(scribe) 라인(SL)을 포함하는 스크라이브 영역에 의해 획성(劃成)된 복수의 패널 영역(100A)이 형성되어 있고, 상기 패널 영역(100A) 중에는 도 2에 나타낸 TFT(11)로 이루어진 TFT 어레이가 형성되어 있다. 상기 패널 영역(100A) 중에는 상기 TFT 어레이와 함께 작용하여 주사전극(13)의 하나를 선택하는 주사측 주변회로(13B)와, 상기 TFT 어레이와 함께 작용하여 신호전극(12)의 하나를 선택하는 신호측 주변회로(12B)가 형성되어 있다. 상기 주사측 주변회로(13B) 및 신호측 주변회로(12B)는 도 2에서 상술한 주변회로(1n)에 대응한다.

또한, 상기 패널 영역(100A) 중에는 상기 TFT 어레이 및 이것과 함께 작용하는 상기 주변회로(12B, 13B)를 둘러싸도록 상기 스크라이브 영역에 따라 주변부 단락 링(15S)이 형성되고, 상기 TFT 어레이 중의 각각의 신호전극(12) 및 주사전극(13)은 상기 단락 링(15S)에 접속되어 있다. 또한, 상기 패널 영역의 외주부에 따라 형성된다. 상기 패드 전극(13A, 12A) (도시 생략)도 단자 쇼트 바(13S)를 통하여 상기 주변부 단락 링(15S)에 전기적으로 접속되어 있다.

이러한 구성에 의해, 상기 표시영역 중에 발생하는 정전기는 상기 신호전극(12) 및 주사전극(13)을 통하여, 또한, 상기 쇼트 바(13S)를 통하여 상기 주변부 단락 링(15S)으로부터 벗어나고, 상기 표시영역 중에 형성되는 소자에 정전 파괴가 생기는 것이 회피된다. 이러한 주변부 단락 링(15S)은 상기 공통 유리기관을 각각의 표시 패널에 상기 스크라이브 영역을 절단함으로써 분할할 때, 제거된다.

발명이 이루고자하는 기술적 과제

한편, 도 4에 나타낸 종래의 구성에서는, 액정 셀을 구동시키는 화소전극(14) 또는 이것에 병렬로 삽입되는 축적용량(C)은 상기 주변부 단락 링(15S)에 대하여 TFT(11)를 통하여 접속되기 때문에, 액정 패널의 제조 공정에서 상기 화소전극(14) 또는 축적용량(C)에 대전이 발생한 경우에는, 상기 주변부 단락 링(15S)을 설치하고 있어도 TFT(11)의 정전 파괴를 효과적으로 억제할 수 없다. 이것과 동일하게, TFT 내부에 정전기가 발생한 경우에도, 상기 단락 링(15S)에서는 대전을 해소할 수 없다.

그런데, 이러한 종래의 액정표시장치의 제조 공정에서는, 도 5a에 나타난 바와 같이 각각의 콘택트 패드(12A, 13A)와 대응하는 주변회로(12B, 13B) 사이에 시험용 단자(16)를 설치하고, 제조 공정 중의 표시 패널에 대하여 다양한 전기적 검사가 실행된다. 그때, 상기 콘택트 패드(12A, 13A)는 상술한 바와 같이 상기 단락 링(15S)에 접속되어 있기 때문에, 상기 전기적 검사가 가능한 것과 같이, 상기 콘택트 패드(12A, 13A)와 상기 단락 링(15S) 사이에는 저항(r_0)이 삽입되어 있다.

종래, 상기 저항(r_0)은 프로세스에 기인하는 변동을 제외하면 실질적으로 일정한 저항값, 예를 들어, 100kΩ을 갖도록 형성되어 있으며, 예를 들어, 도 5b에 나타난 바와 같이 상기 콘택트 패드(13A)에는 클록 T_1 , +전원전압 T_2 , -전원전압 T_3 등이 공급되고, 이것들 신호 또는 전원전압은 상기 주변회로(13B)를 구성하는 CMOS 인버터 회로에 다시 공급된다. 콘택트 패드(12A) 및 주변회로(12B)에 대해서도 동일한 구성이 마련된다.

도 5c는 이러한 콘택트 패드(12A) 및 주변회로(12B), 주변부 단락 링(15S)을 포함하는 부분의 등가회로도를 나타낸다.

도 5c를 참조하면, 상기 CMOS 인버터 회로는 큰 입력 임피던스를 갖기 때문에, 상기 클록 T_1 이 입력되는 콘택트 패드(13A)의 임피던스(r_m)는 상기 저항(r_0)보다도 훨씬 커지는($r_m \geq r_0$) 것에 대하여, 상기 +전원전압이 공급되는 콘택트 패드(13A)와 상기 -전원전압이 공급되는 콘택트 패드(13A) 사이의 임피던스(R)는 상기 CMOS 인버터 회로의 내부저항을 r_m 으로 하여, 상기 저항(r_0)과 ($r_0 + r_m$)의 병렬접속에 대응하여

$$R = r_0 \times (r_0 + r_m) / [r_0 + (r_0 + r_m)]$$

으로 주어진다. 이러한 경우, 상기 내부저항(r_m)의 값은 r_0 보다도 작으며, r_m 의 값은 콘택트 패드(13A)마다 상이할 가능성이 있다. 이것은, 상기 콘택트 패드(13A)와 주변부 단락 링(15S) 사이의 외관의 저항값이 콘택트 패드(13A)마다 변화할 가능성이 있음을 의미한다. 한편, 이와 같이 상기 저항(R)의 값이 콘택트 패드(13A)마다 변화한 경우, 상기 클록이 공급되는 콘택트 패드(13A), 상기 +전원이 공급되는 콘택트 패드(13A), 상기 -전원이 공급되는 콘택트 패드(13A) 사이에 큰 전위차가 생길 가능성이 있고, 이러한 큰 전위차에 의해 상기 CMOS 인버터 회로를 구성하는 MOS 트랜지스터가 정전 파괴될 실질적인 위험이 존재한다.

그래서, 본 발명은 상기의 과제를 해결한 신규의 유용한 액정표시장치 및 그의 제조방법을 제공하는 것을 개괄적 과제로 한다.

본 발명의 보다 구체적인 과제는, 주변부 단락 링을 사용하여 행하는 액티브 매트릭스형 액정표시장치의 제조 공정 중에서, 유리기관 상의 TFT 내부에 발생하는 대전에 의해 상기 TFT에 생기는 정전 파괴의 문제를 해소할 수 있는 액정표시장치의 제조방법 및 이러한 액정표시장치를 제공함에 있다.

본 발명의 다른 과제는, 주변부 단락 링을 사용하여 행하는 액티브 매트릭스형 액정표시장치의 제조 공정 중에서, 화소전극 형상, 배선 면적, 회로 구성 등의 접속 상태에 기인하여 유리기관 상의 TFT 사이에 생기는 전위차를 해소할 수 있고, 신뢰성이 향상된 액정표시장치의 제조방법 및 이러한 액정표시장치를 제공함에 있다.

본 발명의 또 다른 과제는, 정전기에 의한 TFT의 역치 변동을 해소한 CMOS 회로를 구비한 액정표시장치를 제공함에 있다.

또한, 본 발명의 과제는, TFT 회로를 주변부 단락 링에 저항을 개입시켜 접속하여 행하는 액티브 매트릭스형 액정표시장치의 제조 공정 중에서, TFT 회로에서의 전위차의 발생을 억제할 수 있는 액정표시장치의 제조방법 및 이러한 액정표시장치를 제공함에 있다.

발명의 구성 및 작용

본 발명은 상기의 과제를,

특허청구범위의 청구항 1에 기재한 바와 같이,

절연성 기판 상에의 박막트랜지스터의 제조방법에 있어서,

상기 절연성 기판 상에 제 1 도전형을 갖는 제 1 영역과, 상기 제 1 도전형을 갖는 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 1 가교영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 2 가교영역을 갖는 형상의 폴리실리콘 패턴을 형성하는 공정과,

상기 절연성 기판 상에 상기 폴리실리콘 패턴을 덮도록 절연막을 형성하는 공정과,

상기 절연막 상에 게이트 전극 패턴을, 상기 게이트 전극 패턴이 상기 제 1 가교영역을 덮도록 형성하는 공정과,

상기 제 1 영역에 배선 패턴을 상기 배선 패턴이 상기 제 1 영역에 콘택트하도록 형성하는 공정과,

상기 배선 패턴을 형성하는 공정 후, 상기 제 2 가교영역을 절단하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법에 의해,

또는, 특허청구범위의 청구항 2에 기재한 바와 같이,

상기 폴리실리콘 패턴을 형성하는 공정은 상기 제 2 가교영역에 도전성을 부여하는 공정을 더 포함하는 것을 특징으로 하는 청구항 1에 기재된 박막트랜지스터의 제조방법에 의해,

또는, 특허청구범위의 청구항 3에 기재한 바와 같이,

절연성 기판과,

상기 절연성 기판 상에 형성된, 제 1 도전형의 제 1 영역과, 상기 제 1 도전형의 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 접속하는 채널 영역으로 이루어진 폴리실리콘 패턴과,

상기 채널 영역을 덮는 게이트 절연막과,

상기 채널 영역 상에 형성된 게이트 전극 패턴으로 이루어진 박막트랜지스터에 있어서,

상기 폴리실리콘 패턴은, 상기 제 1 영역으로부터 연장되고, 제 1 선단부에 의해 형성된 제 1 연장부와, 상기 제 2 영역으로부터 연장되고, 제 2 선단부에 의해 형성된 제 2 연장부를 갖는 것을 특징으로 하는 박막트랜지스터에 의해,

또는, 특허청구범위의 청구항 4에 기재한 바와 같이,

제 1 유리기판과,

상기 제 1 유리기판에 대향하도록 간극을 사이에 두고 설치된 제 2 유리기판과,

상기 간극 중에 봉입된 액정층과,

상기 제 1 유리기판의 상기 제 2 유리기판에 대면하는 측의 표면에 형성된 박막트랜지스터로 이루어진 액정표시장치로서,

상기 박막트랜지스터는, 상기 표면 상에 형성된, 제 1 도전형의 제 1 영역과, 상기 제 1 도전형의 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 접속하는 채널 영역으로 이루어진 폴리실리콘 패턴과,

상기 채널 영역을 덮는 게이트 절연막과,

상기 채널 영역 상에 형성된 게이트 전극 패턴으로 이루어지고,

상기 폴리실리콘 패턴은, 상기 제 1 영역으로부터 연장되고, 제 1 선단부에 의해 형성된 제 1 연장부와, 상기 제 2 영역

으로부터 연장되고, 제 2 선단부에 의해 형성된 제 2 연장부를 갖는 것을 특징으로 하는 액정표시장치에 의해,

또는, 특허청구범위의 청구항 5에 기재한 바와 같이,

패널 영역이 형성된 유리기판과,

상기 유리기판 상의 상기 패널 영역 중에 상기 패널 영역의 경계를 따라 연속적으로 형성된 도전성의 주변부 단락 링과,

상기 유리기판 상의 상기 패널 영역 중에 형성되고, 상기 유리기판 상에 형성된 복수의 박막트랜지스터를 포함하며, 복수의 접속단자를 구비한 내부회로와,

상기 유리기판 상의 상기 패널 영역 중에 형성되고, 각각 상기 복수의 접속단자 중 하나를 상기 주변부 단락 링에 전기적으로 접속하는 복수의 저항요소로 이루어진 박막트랜지스터 기판에 있어서,

상기 복수의 저항요소의 각각은, 상기 접속단자와 상기 주변부 단락 링 사이에서 본 저항값이 모든 접속단자에서 실질적으로 일정해지는 것과 같은 값으로 저항값이 설정되어 있는 것을 특징으로 하는 박막트랜지스터 기판에 의해, 해결한다.

[작용]

본 발명의 일 특징에 의하면, 액정표시장치의 제조 등에서 절연성 기판 상에 박막트랜지스터를 형성할 때, 상기 박막트랜지스터의 소스 영역 및 드레인 영역, 이것들을 가교하는 채널 영역을 구성하는 폴리실리콘 패턴에 상기 소스 영역 및 드레인 영역을 가교하는 가교영역을 더 부가함으로써, 종래로부터 사용되고 있는 주변부 단락 링에서는 해소할 수 없었던 상기 박막트랜지스터 내부에서 생기는 대전의 문제, 또는 전극 형상 및 면적 등의 차이에 기인하는 전위차의 불균일의 문제를 해소하는 것이 가능해진다. 그때, 상기 가교영역을 절단하는 공정을 상기 박막트랜지스터로의 콘택트 홀의 형성 공정과 동시에 행함으로써, 공정 수의 증가를 회피할 수 있다. 본 발명은 플라즈마 처리를 다용(多川)하는 액티브 매트릭스 구동방식의 액정표시장치의 제조 공정에서 특히 유용하다.

본 발명의 다른 특징에 의하면, 패널 영역이 형성된 유리기판과, 상기 유리기판 상의 상기 패널 영역 중에 상기 패널 영역의 경계에 따라 연속적으로 형성된 도전성의 주변부 단락 링과, 상기 유리기판 상의 상기 패널 영역 중에 형성된 복수의 박막트랜지스터를 포함하고 복수의 접속단자를 구비한 내부회로로 이루어진 박막트랜지스터 기판에 있어서, 상기 박막트랜지스터 기판의 제조 공정 중에서의 상기 내부회로의 시험을 위해, 상기 유리기판 상의 상기 패널 영역 중에 각각 상기 복수의 접속단자의 하나를 상기 주변부 단락 링에 전기적으로 접속하도록 형성된 복수의 저항요소의 저항값을 상기 접속단자와 상기 주변부 단락 링 사이에서 본 저항값이 모든 접속단자에서 실질적으로 일정해지는 것과 같은 값으로 설정함으로써, 상기 내부회로 중에 상기 접속단자와 상기 주변부 단락 링 사이의 저항값의 차이에 기인하여 야기되는 전압차가 해소되고, 상기 내부회로를 구성하는 박막트랜지스터의 정전 파괴 또는 열화의 문제를 해소하는 것이 가능해진다.

[제 1 실시예]

도 6의 a~d는 본 발명의 제 1 실시예에 의한 TFT의 제조 공정을 나타낸 도면이다. 이 중에서 도 6b는 도 6a의 구성의 등가회로도들, 도 6d는 도 6c의 구성의 등가회로도들 나타낸다.

도 6a를 참조하면, 유리 등의 절연성 기판(10) 상에는 소스 영역(11S) 및 드레인 영역(11D), 이것들을 연결하는 채널 영역(11C)을 포함하는 폴리실리콘 패턴(11)이 형성되어 있고, 상기 폴리실리콘 패턴(11) 상에는 게이트 산화막(도시 생략)을 사이에 두고 AlNd 등으로 이루어진 게이트 전극 패턴(12G)이 상기 채널 영역(11C)을 덮도록 형성되어 있다. 또한, 상기 소스 영역(11S) 및 드레인 영역(11D)은 상기 게이트 전극 패턴(12G)을 자기정합 마스크에 n형 또는 p형의 불순물에 의해 도핑하고 있다. 또한, 도시한 상태에서는, 상기 폴리실리콘 패턴(11) 및 게이트 전극 패턴(12G)은 절연막(도시 생략)으로 덮이고, 상기 절연막 상에는 상기 소스 영역(11S) 상에 대응하여 소스 전극(12S)이, 상기 드레인 영역(11D) 상에 대응하여 드레인 전극(12D)이 형성되며, 상기 소스 전극(12S) 및 드레인 전극(12D)은 각각 상기 절연막 중에 형성된 콘택트 홀(11s, 11d)을 통하여 상기 소스 영역(11S) 및 드레인 영역(11D)에 콘택트한다. 또한, 상기 절연막(도시 생략) 중에는

상기 게이트 전극 패턴(12G)을 노출시키는 콘택트 홀(12)이 형성되어 있다.

또한, 도 6a의 구성에서는, 상기 폴리실리콘 패턴(11)은 상기 소스 영역(11S)과 드레인 영역(11D)을 연결하는 패턴(11R)을 포함하고, 상기 패턴(11R)은 도전성이 부여되어, 도 6b의 등가회로도에 나타난 바와 같이 상기 소스 영역(11S)과 드레인 영역(11D)을 단락하는 저항(R)을 형성한다. 상기 패턴(11R)은 상기 소스 영역(11S) 또는 드레인 영역(11D)과 동일한 불순물에 의해, 동일한 도전형으로 도핑하는 것이 가장 적합하다.

도 6b의 등가회로도에 나타난 바와 같이, 도 6a의 상태에서는 상기 TFT의 소스 영역(11S)과 드레인 영역(11D)이 상기 패턴(11R)에 의해 접속되어 있기 때문에, 상기 드레인 전극(12D) 또는 소스 전극(12S)에 접속된 배선 패턴에 플라즈마 처리에 따른 대전, 또는 안테나 효과 등에 기인하는 전위가 발생하여도, 상기 TFT가 정전 파괴를 발생시키지는 않는다.

또한, 이와 같이 상기 단락 패턴(11R)을 형성함으로써, 상기 드레인 전극(12D) 또는 소스 전극(12S)으로부터 상기 폴리실리콘 패턴(11)에 전하가 축적되지 않게 되기 때문에, 상기 드레인 영역(11D) 또는 소스 영역(11S)과 게이트 전극 패턴(12G) 사이에서 게이트 산화막에 큰 전기적 스트레스가 인가되지 않게 되어, 형성되는 TFT의 역치 특성이 변동하는 문제가 해소된다.

또한, 상기 단락 패턴(11R)을 형성함으로써, 상기 TFT의 제조 공정 시에 외부로부터 전기 쇼크가 인가되어도, TFT가 영구적 또는 반영구적으로 파괴되지 않게 된다. 또한, 이러한 전기 쇼크에 기인하여 생기기 쉬운 잠재적 결함의 형성도 없어져, 얻어지는 TFT는 우수한 장기신뢰성을 나타낸다. 또한, 상기 단락 패턴(11R)은 상이한 채널 길이 또는 채널 폭의 TFT가 상기 절연기판(10) 상에 다수개 형성되는 것과 같은 경우, 이러한 사이즈의 차이에 기인하여 생기는 불균일한 대전 및 이것에 따른 정전 파괴의 문제를 해소하는데 매우 효과적이다.

도 6a 및 도 6b의 공정 후, 도 6c의 공정에서 상기 절연막 중에는 상기 폴리실리콘 패턴(11R)을 노출시키는 개구부(13R)가 형성되고, 상기 개구부(13R)에서 상기 폴리실리콘 패턴(11R)을 절단함으로써, 도 6d의 등가회로도에 나타난 바와 같이 상기 소스 영역(11S)과 드레인 영역(11D)의 단락이 해소된다. 이와 같이, 도 6c의 TFT에서는, 상기 소스 영역(11S)으로부터 연장되어 선단부가 상기 개구부(13R)에 의해 형성된 제 1 폴리실리콘 패턴(11R₁)과, 상기 드레인 영역(11D)으로부터 연장되어 선단부가 상기 개구부(13R)에 의해 형성된 제 2 폴리실리콘 패턴(11R₂)이 포함되는 것이 특징적이다.

[제 2 실시예]

도 7a는 본 발명의 제 2 실시예에 의한 TFT를 사용한 CMOS 회로의 구성을 나타낸 도면이고, 도 7b는 그의 등가회로도이다. 후술하는 바와 같이, 본 실시예의 CMOS 회로는 액정표시장치의 다양한 구동회로, 예를 들어, 도 4의 신호측 주변회로(12B) 또는 주사측 주변회로(13B)에 적용 가능하다.

도 7a를 참조하면, 상기 CMOS 회로는 도 1 내지 도 3에서 상술한 TFT 유리기판(1A)에 대응하는 절연기판(20) 상에 형성되고, 상기 절연기판(20) 상에는 p채널 TFT(p-chTFT) 및 n채널 TFT(n-chTFT)를 구성하는 폴리실리콘 패턴(21)이 형성되어 있다. 상기 폴리실리콘 패턴(21)은 상기 p채널 TFT의 소스 영역으로 되는 부분(21PS) 및 상기 p채널 TFT의 드레인 영역으로 되는 부분(21PD), 상기 p채널 TFT의 채널 영역으로 되는 부분(21PC)을 포함하고, 상기 채널 영역(21PC)은 상기 소스 영역(21PS)과 상기 드레인 영역(21PD)을 연결하여 형성되어 있다.

이것과 동일하게, 상기 폴리실리콘 패턴(21)은 상기 n채널 TFT의 소스 영역으로 되는 부분(21NS) 및 상기 n채널 TFT의 드레인 영역으로 되는 부분(21ND)과, 상기 n채널 TFT의 채널 영역으로 되는 부분(21NC)을 포함하고, 상기 채널 영역(21NC)은 상기 소스 영역(21NS)과 상기 드레인 영역(21ND)을 연결하여 형성되어 있다.

상기 폴리실리콘 패턴(21)은 게이트 산화막(도시 생략)으로 덮이고, 상기 게이트 산화막 상에는 상기 p채널 TFT의 채널 영역(21PC)을 덮는 게이트 전극(22PG) 및 상기 n채널 TFT의 채널 영역(21NC)을 덮는 게이트 전극(22NG)을 갖는 A1Nd 게이트 전극 패턴(22G)이 형성된다. 또한, 상기 폴리실리콘 패턴(21) 및 그 위의 게이트 전극 패턴(22G)은 도 7a에는 도시되어 있지 않은 절연막(23)에 의해 덮이며, 상기 절연막(23) 상에는 상기 소스 영역(21PS)에 대응하여 소스 전극 패턴(24PS)이 상기 절연막(23) 중에 형성된 콘택트 홀(23PS)을 통하여 상기 소스 영역(21PS)에 콘택트하도록 형성된다. 이것

과 동일하게, 상기 절연막(23) 상에는 상기 소스 영역(21NS)에 대응하여 소스 전극 패턴(24NS)이 상기 절연막(23) 중에 형성된 콘택트 홀(23NS)을 통하여 상기 소스 영역(21NS)에 콘택트하도록 형성된다. 또한, 상기 절연막(23) 상에는 상기 드레인 영역(21PS) 및 소스 영역(21NS)에 대응하여 드레인 전극 패턴(24D)이 상기 절연막(23) 중에 형성된 콘택트 홀(23PS)을 통하여 상기 드레인 영역(21PD)에 콘택트하도록, 또한, 상기 절연막(23) 중에 형성된 콘택트 홀(23NS)을 통하여 상기 드레인 영역(21ND)에 콘택트하도록 형성된다. 또한, 상기 절연막(23) 상에는 콘택트 홀(23C)을 통하여 상기 게이트 전극 패턴(22G)에 콘택트하는 게이트 배선 패턴(24G)이 형성된다.

상기 드레인 전극 패턴(24D)을 마련함으로써 상기 p채널 TFT와 n채널 TFT는 도 7b의 등가회로에 나타난 바와 같이 직렬접속되고, CMOS 회로가 형성된다. 다만, 상기 p채널 TFT의 소스 영역(21PS) 및 드레인 영역(21PD)은 상기 게이트 전극(21PC)을 자기정합 마스크로 한 이온주입 공정에 의해 p형으로 도핑되는 한편, 상기 n채널 TFT의 소스 영역(21NS) 및 드레인 영역(21ND)은 상기 게이트 전극(21NC)을 자기정합 마스크로 한 이온주입 공정에 의해 n형으로 도핑된다. 또한, 제조 공정과 관련하여 후술하는 바와 같이, 상기 p채널 TFT 및 n채널 TFT는 모두 LDD 구조를 갖고 있다.

도 7a의 상태에서는, 상기 폴리실리콘 패턴(21)은 상기 소스 영역(21PS), 드레인 영역(21PD), 드레인 영역(21ND) 및 소스 영역(21NS)을 연결하는 단락 패턴(21S)을 포함하고, 상기 단락 패턴(21S) 중에서 상기 소스 영역(21PS)과 드레인 영역(21PD)을 연결하는 부분(S₁)은 상기 소스 영역(21PS) 또는 드레인 영역(21PD)과 동일하게 p형으로 도핑되어 있다. 이것에 대하여, 상기 단락 패턴(21S) 중에서 상기 소스 영역(21NS)과 드레인 영역(21ND)을 연결하는 부분(S₂)은 상기 소스 영역(21NS) 또는 드레인 영역(21ND)과 동일하게 n형으로 도핑되어 있다.

도 7a의 CMOS 회로에서는, 상기 CMOS 회로의 완성 후, 상기 단락 패턴(21)이 상기 절연막(23) 중에 상기 단락 패턴(21)을 노출시키도록 형성된 개구부(23S)에서 에칭에 의해 제거되고, 상기 소스 영역(21PS), 드레인 영역(21PD), 드레인 영역(21ND) 및 소스 영역(21NS)의 단락이 해제된다.

도 8a~도 9k는 도 7a 및 도 7b의 TFT-CMOS 회로의 제조 공정을 나타낸 도면이다. 다만, 도 8a~도 9k는 도 7a 중의 라인 A-A'에 따른 단면도를 나타낸다.

도 8a를 참조하면, 상기 유리기판(20)은, 예를 들어, 코닝 #1737 등의 유리판으로 이루어지고, 상기 기판(20) 상에는 표면의 세정을 행한 후, SiO₂막(도시 생략)이 150~300nm, 바람직하게는 약 200nm의 두께로 플라즈마 CVD법에 의해 퇴적된다. 또한, 상기 SiO₂막 상에 SiN막을 동일하게 플라즈마 CVD법에 의해 약 50nm의 두께로 퇴적한 후, 비정질 Si막(210a)을 PCVD법에 의해 전형적으로는 20~100nm, 바람직하게는 40~50nm의 두께로 일정하게 퇴적한다.

또한, 도 8b의 공정에서, 상기 기판(20)을 N₂ 분위기 중, 약 450℃의 온도에서 1시간 열처리하고, 상기 비정질 Si막(210a) 중의 H(수소)를 제거한 후, 파장이 308nm인 엑시머 레이저를 상기 비정질 Si막(210a)에 300~400 mJ/cm², 바람직하게는 320~350 mJ/cm²의 에너지 밀도로 조사하여, 상기 비정질 Si막(210)을 결정화한다. 결정화의 결과, 상기 비정질 Si막(210a)은 폴리실리콘막(210p)으로 변환된다. 또한, 상기 비정질 Si막(210a) 중의 H의 함유량이 1% 이하로 적을 경우에는, 상기 N₂ 분위기 중에서의 열처리는 생략할 수도 있다.

다음으로, 도 8c의 공정에서, 상기 폴리실리콘막(210)을 RIE법에 의해 패터닝하여, 도 7a에서 설명한 폴리실리콘 패턴(21)을 형성한다. 상술한 바와 같이, 상기 폴리실리콘 패턴(21)은 단락 패턴(21S)을 포함하고 있다.

또한, 도 8d의 공정에서 도 8c의 구조 상에 SiO₂막(212)을 플라즈마 CVD법에 의해, 상기 폴리실리콘 패턴(21)을 덮도록 100~150nm, 바람직하게는 약 120nm의 두께로 게이트 산화막으로서 퇴적하며, 그 위에 A1Nd 합금으로 이루어진 게이트 전극층(22)을 스퍼터링에 의해 300~400nm, 바람직하게는 약 350nm의 두께로 퇴적한다.

다음으로, 도 8e의 공정에서 상기 게이트 전극층(22)을 레지스트 마스크를 사용한 습식 에칭에 의해 패터닝하여 상기 p채널 TFT의 영역에 게이트 전극 패턴(22PG)을, 상기 n채널 TFT의 영역에 게이트 전극 패턴(22NG)을 형성한다. 또한, 상기 레지스트 마스크를 남긴 상태에서 상기 게이트 산화막(212)을 CHF₃를 사용한 건식 에칭에 의해 패터닝하여, 상기 게이트 전극 패턴(22PG, 22NG)에 대응하여 게이트 산화막 패턴(212G)을 상기 p채널 TFT 영역 및 n채널 TFT 영역에 형성한다. 도 8e의 공정에서는, 상기 게이트 산화막 패턴(212G)의 패터닝 후, 상기 레지스트 패턴을 남긴 상태에서 상기 게이트 전극

패턴(22PG, 22NG)을 습식 에칭에 의해 측면 에칭하고, 상기 게이트 전극 패턴(22PG, 22NG)의 크기를 상기 게이트 산화막 패턴(212G)의 크기보다도 다소 축소시킨다. 그 결과, 상기 게이트 산화막 패턴(212G)은 상기 게이트 전극 패턴(22PG, 22NG)의 측벽면보다도 0.5~1.5 μ m 정도, 바람직하게는 약 0.8 μ m 정도 측방으로 돌출된다.

다음으로, 도 8f의 공정에서 상기 레지스트 마스크를 제거하고, 도 8e의 구조 상에 RF 방전 또는 DC 방전을 이온원으로 한 플라즈마 도핑 장치를 사용하여, 1~5%의 PH₃ 희석 가스 중에서 P의 도핑을 상기 폴리실리콘 패턴(21)의 전면(全面)에 대하여 행한다. 그때, 제 1 회재의 도핑을 가속전압 10keV 하에서 5×10^{14} 내지 1×10^{15} cm⁻² 정도의 도스량으로 행하고, 이어서 제 2 회재의 도핑을 가속전압 70keV, 도스량 5×10^{12} 내지 5×10^{13} cm⁻² 정도의 조건에서 행함으로써, 상기 폴리실리콘 패턴(21) 상에 LDD 구조를 갖는 n채널 TFT가 상기 폴리실리콘 패턴(21)의 p채널 TFT 영역 및 n채널 TFT 영역의 양쪽에 형성된다. 이것에 따라, 상기 폴리실리콘 패턴(21) 중에서 상기 게이트 전극 패턴(22NG)의 양쪽에 n형의 소스 영역(21NS) 및 드레인 영역(21ND)이 형성된다. 또한, 도 8f로부터 알 수 있듯이, 상기 소스 영역(21NS) 또는 드레인 영역(21ND)과 상기 채널 영역(21NC) 사이에는 n형 LDD 영역이 형성된다. 또한, 상기 이온주입 공정에 의해, 도 8e의 상태에서는 상기 폴리실리콘 단락 패턴(21)은 일정하게 n-형으로 도핑된다.

다음으로, 도 8g의 공정에 있어서, 상기 n채널 TFT의 형성 영역 및 상기 폴리실리콘 단락 패턴(21S) 중에서 n형 영역을 덮도록 레지스트 패턴(RG)을 형성하고, 상기 폴리실리콘 패턴(21) 중에서 상기 레지스트 패턴(RG)으로 보호되어 있지 않은 부분에 B의 이온주입을 상기의 경우와 동일한 2단계로 실행하며, 상기 게이트 전극 패턴(22PG)의 양쪽에 p형의 LDD 영역에 의해 사이가 떨어져, 상기 p형의 소스 영역(21PS) 및 p형의 드레인 영역(21PD)이 형성된다. 또한, 상기 B의 이온주입에 의해, 상기 폴리실리콘 단락 패턴(21S) 중에서 상기 레지스트 패턴(RG)으로 보호되어 있지 않은 부분(21Si)이 p-형으로 도핑된다. 상기 B의 이온주입도 RF 방전 또는 DC 방전을 이온원으로 한 플라즈마 도핑 장치를 사용하여, 예를 들어, 1~5%의 B₂H₆ 희석 가스 중에서 1회재의 가속전압을 10keV, 도스량을 1×10^{14} 내지 5×10^{15} cm⁻²로 설정하고, 2회재의 가속전압을 60keV, 도스량을 1×10^{13} 내지 1×10^{14} cm⁻² 정도로 설정하여 실행된다. 실제의 제조 공정에서는, 도 8g의 이온주입 공정의 후, 도 8g의 구조에는 역시 레이저 또는 할로젠 램프를 사용한 열처리 공정이 실행되고, 그 결과, 상기 도 8f 또는 도 8g의 공정에서 도입된 P 또는 B가 상기 폴리실리콘 패턴(21) 중에서 활성화된다. 이러한 이온주입 공정 및 열처리 공정의 결과, 상기 소스 영역(21NS, 21PS), 상기 드레인 영역(21ND, 21PD), 상기 p형 또는 n형의 단락 패턴 부분(21Si, 21Sj)의 시트 저항은 5k Ω /□ 이하, 바람직하게는 1k Ω /□ 이하로 설정된다. 한편, 상기 n형 또는 p형의 LDD 영역의 시트 저항은 1×10^4 내지 5×10^4 Ω /□ 정도, 바람직하게는 5×10^4 내지 1×10^5 Ω /□ 정도로 설정된다.

다음으로, 도 9h의 공정에 있어서, 상기 도 8g의 구조 상에 SiN으로 이루어진 증간절연막(23)이 플라즈마 CVD법에 의해 300~600nm, 바람직하게는 약 400nm의 두께로 퇴적되고, 이것을 통상의 포토리소그래피 공정과 CF₄ 및 SF₆를 사용한 RIE 공정에 의해 패터닝함으로써, 상기 SiN막(23) 중에 도 7a에서 상술한 콘택트 홀(23PS, 23PD, 23ND, 23NS)을 형성한다. 또한, 도 9h의 단면도에는 도시되지 않지만, 상기 콘택트 홀(23PG, 23NG)도 동시에 형성된다.

도 9h의 공정에서는, 상기 콘택트 홀(23PS, 23PD) 등과 동시에, 상기 SiN막(23) 중에 상기 개구부(23S)가 형성되고, 상기 개구부(23S)에서 상기 단락 패턴(21S)이 노출된다.

다음으로, 도 9i의 공정에서 도 9h의 구조 상에, 전형적으로는 200nm의 두께의 Al층을 100nm의 두께의 Ti층에 의해 끼운 구성의 도전막(24)이 상기 콘택트 홀(23PS, 23PD, 23ND, 23NS)을 매우도록, 또한, 상기 개구부(23S)를 매우도록 스퍼터링에 의해 형성되며, 도 9j의 공정에서 상기 도전막(24)을 레지스트 패턴을 사용한 염소계 에칭 가스에 의한 RIE 공정에 의해 패터닝하여, 도 7a에 나타난 소스 전극(24PS, 24NS) 및 공통 드레인 전극(24D), 게이트 배선 패턴(24G)이 형성된다.

도 9j의 포토리소그래피 공정에서는, 상기 개구부(23S)에서도 상기 도전막(24)이 제거되어, 상기 폴리실리콘 단락 패턴(21S)이 노출된다. 또한, 상기 레지스트 패턴을 남긴 상태에서 상기 폴리실리콘 단락 패턴(21S)을 RIE법에 의해 전식 에칭함으로써, 상기 개구부(23S)에서 상기 폴리실리콘 단락 패턴(21S)이 분단된다.

다음으로, 도 9k의 공정에 있어서, 도 9j의 구조 상에 300~500nm, 바람직하게는 약 350nm의 두께의 SiN으로 이루어진 절연막(25)을 형성하여, 원하는 TFT-CMOS 회로가 완성된다.

상기 TFT-CMOS 회로가 액정표시장치의 구동회로일 경우에는, 이후의 공정에서, 상기 절연막(25) 상에 다음 실시예에서 설

명하는 화소전극 형성 공정을 행한다.

[제 3 실시예]

다음으로, 본 발명의 제 3 실시예에 의한 액정표시장치의 제조방법을 도 10 및 도 11a 내지 도 12g를 참조하면서 설명한다. 다만, 도 10은 제조 도중의 TFT 기판의 평면도를 나타낸다.

도 10을 참조하면, 도 1의 TFT 유리기판(1A)에 상당하는 상기 TFT 유리기판(40) 상에는 상기 화소 TFT(11)를 구성하는 폴리실리콘 패턴(41)과, 주변회로 TFT(31)를 구성하는 폴리실리콘 패턴(61)이 형성되어 있고, 상기 폴리실리콘 패턴(41)은 n-형으로 도핑된 소스 영역(41S)과, 상기와 동일하게 n-형으로 도핑된 드레인 영역(41D)과, 상기 소스 영역(41S)과 드레인 영역(41D)을 서로 연결하는 채널 영역(41C)을 포함하고 있다. 즉, 상기 화소 TFT(11)는 n채널형 TFT이다.

이것과 동일하게, 상기 폴리실리콘 패턴(61)은 n-형으로 도핑된 소스 영역(61S)과, 상기와 동일하게 n-형으로 도핑된 드레인 영역(61D)과, 상기 소스 영역(61S)과 드레인 영역(61D)을 서로 연결하는 채널 영역(61C)을 포함하고, 상기 주변회로, 예를 들어, 도 4의 신호측 주변회로(12B)를 구성하는 n채널 TFT의 일부를 형성한다.

상기 폴리실리콘 패턴(41, 61)은 상기 유리기판(40) 상에 형성된 게이트 산화막에 42(도 10의 평면도에는 도시하지 않음)로 덮이고, 상기 게이트 산화막 상에는 상기 채널 영역(41C)을 덮도록 게이트 전극(43G)이, 상기 채널 영역(61C)을 덮도록 게이트 전극(63G)이 형성된다. 또한, 상기 게이트 전극(43G, 63G) 및 폴리실리콘 패턴(41, 61)은 층간절연막(44)(도 10의 평면도에는 도시하지 않음)에 의해 덮이고, 상기 층간절연막(44) 상에는 상기 소스 영역(41S)에 대응하여 소스 전극(45S)이, 상기 드레인 영역(41D)에 대응하여 드레인 전극(45D)이, 상기 소스 영역(61S)에 대응하여 소스 전극(65S)이, 상기 드레인 영역(61D)에 대응하여 드레인 전극(65D)이 각각 상기 층간절연막(44) 중에 형성된 콘택트 홀(44S, 44D, 64S, 64D)을 통하여 대응하는 소스 영역(41S, 61S) 또는 드레인 영역(41D, 61D)에 콘택트하도록 형성된다. 또한, 상기 층간절연막(44) 상에는 게이트 배선 패턴(45G)이 상기 게이트 전극(43G)에 대응하여, 게이트 전극 패턴(65G)이 상기 게이트 전극(63G)에 대응하여 각각 상기 층간절연막(44) 중에 형성된 콘택트 홀(44G, 64G)을 통하여 콘택트하도록 형성된다.

또한, 도시한 상태에서는, 상기 드레인 영역(41D), 소스 영역(41S), 드레인 영역(61D), 소스 영역(61S)이 상기 유리기판(40) 상에 형성된 폴리실리콘 단락 패턴(41SC)에 의해 단락되어 있고, 그 결과, 상기 층간절연막(44)의 퇴적 공정, 또는 상기 절연막 중으로의 콘택트 홀(44S, 64S, 44D, 64D, 44G, 64G)의 패터닝 공정, 상기 전극 패턴(45S, 65S, 45D, 65D, 45G, 65G)의 패터닝 공정에서 플라즈마 처리를 행하여도, 상기 TFT(11)와 TFT(31) 사이 및 TFT(11) 또는 TFT(31)의 내부에 전위차가 생기지는 않는다.

본 실시예에서는, 이 상태에서, 즉, 상기 폴리실리콘 단락 패턴(41SC)을 남긴 상태에서, 상기 소스 전극(45S, 65S), 드레인 전극(45D, 65D), 게이트 배선 패턴(45G, 65G)을 덮도록 다음 층간절연막(46)(도 10의 평면도에는 도시하지 않음)을 형성하며, 상기 다음 층간절연막(46) 상에 상기 TFT(11)의 드레인 영역(41D)에 콘택트하도록 투명 화소전극을 형성하나, 그 때에 상기 폴리실리콘 단락 패턴(41SC)이 도 10에 나타난 상기 층간절연막(46) 중에 형성된 개구부(46A)에서 제거되고, 이것에 의해 상기 폴리실리콘 단락 패턴(41SC)에 의한 단락이 해소된다.

도 11a 내지 도 12g는 상기 본 발명의 제 3 실시예에 의한 액정표시장치의 제조 공정을 나타낸 도 10 중의 라인 A-A'에 따른 단면도이다.

도 11a를 참조하면, 상기 폴리실리콘 패턴(41)은 상기 TFT(11, 31)의 형성 후, 플라즈마 CVD법에 의해 형성된 300~600nm, 바람직하게는 약 400nm의 두께의 SiN 층간절연막(44)에 의해 덮이고, 도 11b의 공정에 있어서, 상기 층간절연막(44) 중에 상기 소스 영역(41S, 61S) 및 드레인 영역(41D, 61D)을 각각 노출시키는 콘택트 홀(44S, 64S, 44D, 64D)이 형성된다. 상기 콘택트 홀의 형성 공정에서는, 동시에 상기 폴리실리콘 단락 패턴(41SC)을 노출시키는 개구부(44A)가 형성된다. 또한, 상기 TFT(11, 31)는, 설명은 생략하지만, 앞의 실시예에서 설명한 TFT와 동일하게 LDD 구조를 갖고 있다.

다음으로, 도 11c의 공정에 있어서, 상기 층간절연막(44) 상에는 상기 콘택트 홀(44S, 64S, 44D, 64D) 및 상기 개구부(44A)를 메우도록 Ti/Al/Ti 적층 구조를 갖는 도체막(45)이 스퍼터링에 의해 퇴적되고, 도 11d의 공정에서 상기 도체막

(45)을, 전형적으로는 CF_4 와 SF_6 와 O_2 의 혼합 가스를 에칭 가스로서 사용한 RIE법에 의해 패터닝함으로써, 상기 층간절연막(44) 상에 상기 소스 전극(45S, 65S) 및 드레인 전극(45D, 65D)이 형성된다. 도 11c 및 도 11d의 단면도에서는, 엄밀하게는 상기 게이트 콘택트 홀(44G, 64G)은 상기 A-A' 단면 상에는 포함되지 않지만, 편의상 이것들도 나타내고 있다. 상기 도전막(45)의 패터닝 결과, 상기 콘택트 홀(44G, 64G) 상에는 게이트 배선 패턴(45G, 65G)이 형성된다.

도 11d의 공정에서는, 상기 도전막(45)의 패터닝 시에, 상기 개구부(44A)에서도 상기 도전막(45)이 제거되고, 그 결과, 상기 개구부(44A)에서는 폴리실리콘 단락 패턴(41SC)이 노출된다. 다만, 본 실시예에서는 앞의 실시예와 달리, 도 11d의 단계에서는 상기 폴리실리콘 단락 패턴(41SC)은 분단되지 않는다.

다음으로, 도 12e의 공정에 있어서, 도 11d의 구조 상에 SiN 층간절연막(46)이 플라즈마 CVD법에 의해 300~500nm, 바람직하게는 350nm의 두께로 퇴적되며, 이와 같이 하여 형성된 층간절연막(46) 중에 상기 개구부(44A)를 노출시키는 개구부(46A) 및 상기 드레인 전극(45D)을 노출시키는 콘택트 홀(46B)이 형성된다. 본 실시예에서는, 상기 개구부(46A)를 형성하는 공정에서, 상기 폴리실리콘 단락 패턴(41SC)이 상기 개구부(44A)에서 분단되고, 그 결과, 상기 폴리실리콘 단락 패턴(41SC)은 상기 주변회로 TFT(31)로부터 연장되어 상기 개구부(44A)에 의해 선단이 확장된 폴리실리콘 패턴(41SC₁)과, 상기 화소 TFT(11)로부터 연장되어 상기 개구부(44A)에 의해 선단이 확장된 폴리실리콘 패턴(41SC₂)으로 분할된다.

본 실시예에서는, 도 12e의 공정에서 상기 층간절연막(46)을 플라즈마 CVD법에 의해 퇴적할 때까지는, 상기 TFT(31)와 TFT(11)가 상기 폴리실리콘 단락 패턴(41SC)에 의해 전기적으로 절연되어 있기 때문에, 다양한 플라즈마 처리에 따라, 내부전하가 야기되어도 상기 TFT(31, 11)가 정전 파괴될 우려는 없다.

또한, 도 12f의 공정에서, 상기 층간절연막(46) 상에는 상기 콘택트 홀(46B)에서 상기 드레인 전극(45D)에 콘택트하도록 $ITO(In_2O_3 \cdot SnO_2)$ 로 이루어진 투명 화소전극(47)이 형성되며, 도 12g의 공정에서, 상기 층간절연막(46) 상에 상기 투명 화소전극(47)을 덮도록 분자배향막(48)이 스핀 코팅에 의해 형성된다.

상술한 바와 같이, 본 실시예에서는 상기 폴리실리콘 단락 패턴(41SC)의 절단이 상기 층간절연막(46)의 형성 공정의 후에 실시되기 때문에, 상기 층간절연막(46)을 플라즈마 CVD법에 의해 형성하여도, 상기 TFT(11, 31)가 정전 파괴될 우려는 없다.

[제 4 실시예]

도 13의 a~c는 본 발명의 제 4 실시예에 의한 액정표시장치의 제조 공정을 나타낸다. 다만, 도 13a는 앞의 실시예의 도 11d의 공정에 이어지는 공정이고, 도 12e의 공정에 대응한다. 도면 중에서 상술한 부분에는 동일한 참조부호를 첨부하여, 설명을 생략한다.

도 13a를 참조하면, 본 실시예에서는 상기 층간절연막(46)에 개구부(46A)를 건식 에칭을 사용한 RIE법에 의해 형성할 때, 상기 폴리실리콘 단락 패턴(41SC)이 제거되지 않는 것과 같은 조건 하에서 건식 에칭을 실행한다. 그 결과, 상기 개구부(46A) 중에 노출된 개구부(44A)에서는 폴리실리콘 단락 패턴(41SC)이 노출된다.

다음으로, 도 12f에 대응하는 도 13b의 공정에서 상기 층간절연막(46) 상에 투명 화소전극(47)을 ITO층의 플라즈마 CVD법에 의한 퇴적 및 RIE법에 의한 패터닝에 의해 형성하고, 이어서 도 12g에 대응하는 도 13c의 공정에서 상기 개구부(44A)에서 상기 폴리실리콘 단락 패턴(41SC)을 분단한다. 또한, 분단의 후, 상기 층간절연막(46) 상에 상기 투명 화소전극(47)을 덮도록 분자배향막(48)이 형성된다.

본 실시예의 공정에서는, 도 13c의 공정에서 상기 폴리실리콘 단락 패턴(41SC)을 분단하기 위해, 앞의 실시예에 대하여 추가의 공정이 필요하게 되나, 상기 분단이 투명 화소전극(47)의 뒤에서 실행되기 때문에, 액정표시장치의 제조 공정 중에 상기 TFT(11, 31)가 정전 파괴될 위험을 실질적으로 제거할 수 있다.

[제 5 실시예]

앞의 실시예에서는, 상기 액정표시장치의 제조 시에, 화소 TFT(11)와 주변회로 TFT(31)를 폴리실리콘 단락 패턴(41SC)에 의해 접속함으로써, TFT의 파괴를 회피했으나, 도 14에 나타낸 바와 같이 표시영역 중의 화소 TFT(11)의 각각에 폴리실리콘 단락 패턴을 형성하는 것도 가능하다. 다만, 도 14 중에서 상술한 부분에는 동일한 참조부호를 첨부하여, 설명을 생략한다.

도 14를 참조하면, 액정표시장치의 표시영역 중에 배열된 TFT(11)의 각각은 n.형 또는 p.형의 소스 영역(41S)과, 이것과 동일한 도전형을 갖는 드레인 영역(41D)을 단락하는 폴리실리콘 단락 패턴(41SC)을 갖는다. 상기 폴리실리콘 단락 패턴(41SC)은 개구부(44A) 및 그것을 노출시키는 개구부(46A)에 의해 노출되고, 도 12e에 대응하는 투명 화소전극(47)을 위한 콘택트 홀을 층간절연막(46) 중에 형성하는 공정의 후, 또는 상기 투명 화소전극(47)의 패터닝 후에서 분단된다. 특히, 상기 폴리실리콘 단락 패턴(41SC)의 분단을 대면적을 갖는 투명 화소전극(47)의 패터닝 후에서 행함으로써, RIE법을 사용한 상기 패터닝 시에 안테나 효과에 의해 큰 전위차가 상기 소스 영역(41S)과 드레인 영역(41D) 사이에 야기되어도, 이러한 전위차는 상기 폴리실리콘 단락 패턴(41SC)에 의해 즉시 해소되기 때문에, 상기 TFT(11)에 정전 파괴가 생기지는 않는다.

[제 6 실시예]

이하, 본 발명을 액정표시장치의 TFT 기관에 적용시킨 다른 예를 설명한다.

도 15는 앞의 도 4에 대응한 본 발명의 제 6 실시예에 의한 액정표시장치의 TFT 기관의 구성을 나타낸다. 도 15 중에서 상술한 부분에는 동일한 참조부호를 첨부하여, 설명을 생략한다.

도 15를 참조하면, 상기 TFT 기관(1A) 상의 표시영역은 복수의 영역 (1A)₁, 내지 (1A)₁₀으로 분할되어 있는 한편, 상기 신호측 주변회로(12B)는 상기 TFT 유리기관(1A)에 대하여 외부 부착되는 구성을 갖고, 상기 복수의 영역 (1A)₁, 내지 (1A)₁₀에 대응한 단수(段數)의 시프트 레지스터(12₁)와, 상기 시프트 레지스터(12₁)의 각 단의 출력 신호가 공급되는 버퍼 회로(12₂)와, 상기 복수의 영역 (1A)₁, 내지 (1A)₁₀의 각각에서 신호선(12)의 선택을 행하는 선택회로(12₃)를 포함한다. 상기 시프트 레지스터(12₁)의 각 단의 출력은 상기 TFT 기관(1A) 상에 설치되어 상기 각각의 신호선(12)에 접속된 TFT-CMOS 회로로 이루어진 아날로그 스위치 회로(12₄)에 공급되고, 상기 아날로그 스위치 회로(12₄)는 상기 선택회로(12₃)로부터의 선택 신호에 따라, 상기 시프트 레지스터(12₁)의 출력 신호를 각 영역 (1A)₁, 내지 (1A)₁₀마다 선택된 신호선(12)에 공급한다.

또한, 도 15의 구성에서는, 상기 주사측 주변회로(13B)는 상기 TFT 기관(1A) 상에 형성되어 있다.

도 16은 도 15의 주사측 주변회로(13B)의 구성을 나타낸다.

도 16을 참조하면, 상기 주사측 주변회로(13B)는 p채널 TFT와 n채널 TFT를 조합한 쌍방향 스위치부(13₁)와, D형 플립플롭 및 NAND 게이트에 인버터를 조합한 시프트 레지스터부(13₂)와, NAND 게이트로 이루어진 멀티플렉서부(13₃)와, 인버터로 이루어진 출력 버퍼 회로(13₄)로 구성되나, 상기 쌍방향 스위치부(13₁)를 구성하는 p채널 TFT 및 n채널 TFT에는, 소스 영역과 드레인 영역을 단락하도록 앞의 폴리실리콘 단락 패턴(21S, 41SC)에 상당하는 내부 단락 패턴이 형성되어 있다.

도 17은 도 16 중의 D형 플립플롭의 구성을 나타낸다.

도 17을 참조하면, 상기 D형 플립플롭은 앞의 실시예에서 설명한 바와 같은 TFT-CMOS 회로를 포함하고, 이것들 CMOS 회로를 구성하는 TFT에는 상기 폴리실리콘 단락 패턴(21S, 41SC)과 동일한 소스 드레인 사이를 단락하는 단락 패턴이 형성되어 있다.

도 18은 도 16 중의 출력 버퍼부(13₄)의 일부를 나타낸다.

도 18을 참조하면, 상기 출력 버퍼부(13₄)도 앞의 실시예에서 설명한 바와 같은 TFT-CMOS 회로로 구성되어 있으나, 상기 CMOS 회로를 구성하는 TFT의 소스 드레인 사이에는 상기 폴리실리콘 단락 패턴(21S, 41SC)과 동일한 단락 패턴이 형성되어 있다.

또한, 도 19는 도 16 중의 NAND 회로의 구성을 나타낸다.

도 19를 참조하면, 상기 NAND 회로를 구성하는 p채널 TFT 또는 n채널 TFT의 소스 드레인 사이에는 앞의 폴리실리콘 단락 패턴(21S, 41SC)과 동일한 단락 패턴이 형성되어 있다.

도 20은 도 15의 아날로그 스위치 회로(12_i)의 구성을 나타낸다.

도 20을 참조하면, 상기 아날로그 스위치 회로(12_i)를 구성하는 p채널 TFT 또는 n채널 TFT의 소스 드레인 사이에는 앞의 폴리실리콘 단락 패턴(21S, 41SC)과 동일한 단락 패턴이 형성되어 있다.

또한, 도 21은 도 4의 구성에 대응하는 메모리 셀의 구성을 나타낸다.

도 21을 참조하면, 화소 TFT의 소스 드레인 사이에는 앞의 폴리실리콘 단락 패턴(21S, 41SC)과 동일한 단락 패턴이 형성되어 있다.

도 16 내지 도 21의 구성에서는, 상기 단락 패턴은 앞의 실시예에서 설명한 바와 같이, TFT로의 배선 패턴이 형성되는 동시에, 또는 그 후에 제거된다.

[제 7 실시예]

그런데, 도 5a 내지 도 5c에서도 상술했으나, 액정표시장치의 제조 공정에서는, 종래로부터 제조 중의 TFT 기관의 시험이 가능하도록, 각각의 접속 패드(12A, 13A)와 주변부 단락 링(15S) 사이에 저항요소(r_i)를 삽입하는 것이 실행되고 있다. 그러나, 이러한 구성에서는, 상술한 바와 같이, 상기 접속 패드(12A, 13A)에 접속되어 있는 내부저항에 차가 있을 경우, 접속 패드마다 전위차가 생기고, 그 결과, 상기 접속 패드에 접속되어 있는 내부회로를 구성하는 TFT가 정전 파괴될 우려가 있다.

그래서, 본 실시예에서는 도 22에 나타난 바와 같이, 상기 접속 패드(12A, 13A)를 상기 주변부 단락 링(15S)에 접속하는 저항요소의 저항값을 상기 접속 패드(12A, 13A)에 접속되는 내부회로의 내부저항 값에 따라 변화시키고, 도 23에 나타난 바와 같이 상기 접속 패드(12A, 13A)에서의 외관의 저항(R_b) 값을 일정하게 조정한다.

도 23을 참조하면, 상기 접속 패드(12A, 13A)에 접속되는 내부회로의 내부저항의 값을 $r_m(i)$ ($i=1, 2, 3, \dots$)로 한 경우, 상기 외관의 저항(R_b) 값은,

$$R_b = r_i \times r_m(i) / [r_i + r_m(i)]$$

로 주어진다. 다만, r_i 는 상기 접속 패드(12A, 13A)와 상기 주변부 단락 링(15S) 사이에 삽입된 저항요소의 저항값을 나타낸다. 본 실시예에서는 상기 R_b 의 값을 각 접속 패드에 공통의 값으로 설정한다.

도 24는 상기 도 23의 구성의 구체적인 예를 나타낸다.

도 24를 참조하면, 콘택트 패드(12A₁)와 주변부 단락 링(15S) 사이에는 저항값이 r_1 인 저항요소가 삽입되나, 상기 콘택트 패드(12A₁)가 접속되는 내부회로는 큰 입력 임피던스 $r_m(1)$ ($r_m(1) \gg r_1$)을 갖기 때문에, 상기 콘택트 패드(12A)에서의 외관의 저항값(R_b)의 값은 실질적으로 상기 r_1 의 값에 동등해진다($R_b = r_1$).

이것에 대하여, 상기 콘택트 패드(12A₂)와 콘택트 패드(12A₃) 사이의 내부저항(r_{23})의 값은 상기 $r_m(1)$ 의 값보다도 실질적으로 낮기 때문에, 상기 콘택트 패드(12A₂, 12A₃)에서의 외관의 저항값(R_{23} , R_{33})은,

$$R_{23} = r_2 \times r_m(2) / [r_2 + r_m(2)]$$

$$R_{33} = r_3 \times r_m(3) / [r_3 + r_m(3)]$$

로 주어진다. 다만, $r_m(2) = r_{23} + r_3$, $r_m(3) = r_{23} + r_2$ 이다. 그래서, 본 실시예에서는 상기 R_{23} 및 R_{33} 의 값이 상기 R_b 의 값과 동일해지도록, 상기 저항요소 r_2 및 r_3 의 저항값을 설정한다.

도 25는 이러한 최적의 저항요소 r_2 및 r_3 의 저항값의 설정의 예를 나타낸다.

도 25 중에서 ●은 $R_{23} = R_{33} = R_b (=1.0 \times 10^5 \Omega)$ 의 조건을 만족하는 최적의 저항요소 r_2 및 r_3 의 값을 상기 내부저항 r_{23} 의 함수로서 나타낸다. 이것에 대하여, ?는 도 5의 경우에 대응하며, 상기 저항요소 r_1 , r_2 , r_3 가 동일한 값을 갖는 종래의 경우를 나타낸다.

도 25를 참조하면, 상기 내부저항 r_{23} 의 값이 크면, 본 실시예와 종래기술과의 불일치는 근소하지만, 상기 내부저항 r_{23} 의 값이 감소하면, 불일치는 증대한다. 액정표시장치와 같이 TFT-CMOS 회로를 사용한 장치에서는, 상기의 불일치의 문제는 심각해지나, 본 실시예는 이러한 문제를 효과적으로 해결할 수 있다.

[제 8 실시예]

도 26은 본 발명의 제 8 실시예에 의한 도 22의 구성에서의 저항요소 r_1 내지 r_n 의 구성예를 나타낸다.

도 26을 참조하면, 각각의 저항요소는 상기 주변부 단락 링(15S)에 접속된 도전성 폴리실리콘 패턴(rp_1 , rp_2 , rp_3 , ...)으로 이루어지고, 상기 폴리실리콘 패턴(rp_1)은 길이가 L_1 , 폭이 W_1 을 갖는다. 이것과 동일하게, 상기 폴리실리콘 패턴(rp_2)은 길이가 L_2 , 폭이 W_2 , 또한, 상기 폴리실리콘 패턴(rp_3)은 길이가 L_3 , 폭이 W_3 을 갖는다.

도시한 예에서는, 상기 주변부 단락 링(15S)과 상기 콘택트 패드(12A₁~12A₃)의 위치관계로부터, 상기 길이 L_1 , L_2 , L_3 는 공통으로 설정되어 있으나, 상기 폭 W_1 , W_2 , W_3 의 값은 각 패턴에 의해 변화되고 있다. 본 실시예에서는 상기 폭 W_1 , W_2 , W_3 를 각 폴리실리콘 패턴(rp_1 ~ rp_3)이 앞의 도 25의 관계를 만족하도록 설정한다.

[제 9 실시예]

도 27a는 본 발명의 제 9 실시예에 의한 상기 저항요소(r_1 ~ r_n)의 구성을 나타낸다.

도 27a를 참조하면, 상기 저항요소(r_1)는 방향을 서로 반대로 하여 병렬접속된 다이오드(D_{1a} , D_{1b})로 이루어지고, 상기과 동일하게 상기 저항요소(r_2)는 방향을 서로 반대로 하여 병렬접속된 다이오드(D_{2a} , D_{2b})로 이루어진다. 또한, 상기 저항요소(r_3)는 방향을 서로 반대로 하여 병렬접속된 다이오드(D_{3a} , D_{3b})로 이루어지나, 본 실시예에서는 도 25에서 설명한 저항값 r_1 , r_2 , r_3 의 설정을 도 28a 및 도 28b에 나타난 바와 같은 구성에 의해 실현시킨다.

도 28b의 등가회로도로부터 알 수 있듯이, 도 28a의 구성은 다이오드 접속된 2개의 게이트 길이가 L 인 TFT₁ 및 TFT₂를 병렬로 접속한 구성을 갖고, TFT₁과 TFT₂에서 채널 폭 W_1 및 W_2 를 변화시킴으로써, 원하는 저항값의 설정을 실현시킨다.

도 27b는 도 27a의 구성의 일 변형예이고, 접속되는 TFT 다이오드의 단수를 변화시킴으로써 원하는 저항값의 설정을 실현시킨다.

[제 10 실시예]

도 29a 및 도 29b는 본 발명의 제 10 실시예에 의한 상기 저항요소(r_1 ~ r_n)의 구성을 나타낸다.

도 29b의 등가회로도 참조하면, 본 실시예에서는 상기 저항요소를 다이오드의 직렬접속에 의해 실현시키고 있고, 도 29a에 나타난 바와 같이, 모두 다이오드 접속된 n채널 TFT와 p채널 TFT를 직렬로 접속한 구성을 갖는다. 이러한 구성에서는, TFT의 역치 전압의 변동에 따른 다이오드 특성의 변동을 효과적으로 보상할 수 있다.

또한, 상기 저항요소(r_1 ~ r_n)로서, 도 30에 나타난 멀티플 게이트 구조의 TFT를 다이오드 접속하여 사용하는 것도 가능하다.

이상, 본 발명의 바람직한 실시예에 대해서 설명했으나, 본 발명은 상기의 실시예에 한정되는 것이 아니라, 특허청구의범위에 기재한 요지 내에서 다양한 변형 및 변경이 가능하다.

[부기]

본 발명은 다음과 같이 요약된다.

(1) 절연성 기판 상으로의 박막트랜지스터의 제조방법에 있어서,

상기 절연성 기판 상에 제 1 도전형을 갖는 제 1 영역과, 상기 제 1 도전형을 갖는 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 1 가교영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 2 가교영역을 갖는 형상의 폴리실리콘 패턴을 형성하는 공정과,

상기 절연성 기판 상에 상기 폴리실리콘 패턴을 덮도록 절연막을 형성하는 공정과,

상기 절연막 상에 게이트 전극 패턴을 상기 게이트 전극 패턴이 상기 제 1 가교영역을 덮도록 형성하는 공정과,

상기 제 1 영역에 배선 패턴을 상기 배선 패턴이 상기 제 1 영역에 콘택트하도록 형성하는 공정과,

상기 배선 패턴을 형성하는 공정의 후, 상기 제 2 가교영역을 절단하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

(2) 상기 폴리실리콘 패턴을 형성하는 공정은, 상기 제 2 가교영역에 도전성을 부여하는 공정을 더 포함하는 것을 특징으로 하는 상기 (1)에 기재된 박막트랜지스터의 제조방법.

(3) 상기 폴리실리콘 패턴을 형성하는 공정은 상기 제 1 및 제 2 영역에 상기 제 1 도전형을 부여하는 공정을 포함하고, 상기 제 2 가교영역에 도전성을 부여하는 공정은 상기 제 1 및 제 2 영역에 상기 제 1 도전형을 부여하는 공정과 동시에 실행되는 것을 특징으로 하는 상기 (2)에 기재된 박막트랜지스터의 제조방법.

(4) 또한, 상기 게이트 전극 패턴을 형성하는 공정의 후, 상기 배선 패턴을 형성하는 공정보다도 전에, 상기 절연성 기판 상에 상기 게이트 전극 패턴을 덮도록 절연막을 퇴적하는 공정과, 상기 절연막 중에 상기 제 2 가교영역을 노출시키는 개구부를 형성하는 공정을 포함하고, 상기 제 2 가교영역을 절단하는 공정은 상기 개구부에서 상기 제 2 가교영역을 제거하는 공정으로 이루어지는 것을 특징으로 하는 상기 (1) 내지 (3) 중의 어느 하나에 기재된 박막트랜지스터의 제조방법.

(5) 상기 배선 패턴을 형성하는 공정은 상기 절연막 상에 상기 배선 패턴이 형성되도록 실행되며, 상기 배선 패턴을 형성하는 공정의 후, 상기 제 2 가교영역을 절단하는 공정보다도 전에, 상기 절연막 상에 다른 절연막을 상기 다른 절연막이 상기 배선 패턴을 덮도록 퇴적하는 공정과, 상기 다른 절연막 중에 상기 개구부를 노출시키도록 다른 개구부를 형성하는 공정을 포함하고, 상기 제 2 가교영역을 절단하는 공정은 상기 다른 개구부에 의해 노출된 상기 개구부에서 상기 제 2 가교영역을 제거하는 공정으로 이루어지는 것을 특징으로 하는 상기 (4)에 기재된 박막트랜지스터의 제조방법.

(6) 상기 제 2 가교영역을 절단하는 공정은 상기 다른 개구부를 형성하는 공정과 실질적으로 동시에 실행되는 것을 특징으로 하는 상기 (5)에 기재된 박막트랜지스터의 제조방법.

(7) 상기 제 2 가교영역을 절단하는 공정은 상기 다른 절연막 중에 상기 배선 패턴을 노출시키는 콘택트 홀을 형성하는 공정의 후에 실행되는 것을 특징으로 하는 상기 (5)에 기재된 박막트랜지스터의 제조방법.

(8) 유리기판 상에 형성된 박막트랜지스터를 갖는 액정표시장치의 제조방법에 있어서,

상기 유리기판 상에 제 1 도전형을 갖는 제 1 영역과, 상기 제 1 도전형을 갖는 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 1 가교영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 2 가교영역을 갖는 형상의 폴리실

리콘 패턴을 형성하는 공정과,

상기 유리기관 상에 상기 폴리실리콘 패턴을 덮도록 절연막을 형성하는 공정과,

상기 절연막 상에 게이트 전극 패턴을 상기 게이트 전극 패턴이 상기 제 1 가교영역을 덮도록 형성하는 공정과,

상기 제 1 영역에 배선 패턴을 상기 배선 패턴이 상기 제 1 영역에 콘택트하도록 형성하는 공정과,

상기 배선 패턴을 형성하는 공정의 후, 상기 제 2 가교영역을 절단하는 공정을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

(9) 상기 폴리실리콘 패턴을 형성하는 공정은 상기 제 2 가교영역에 도전성을 부여하는 공정을 더 포함하는 것을 특징으로 하는 상기 (8)에 기재된 액정표시장치의 제조방법.

(10) 상기 폴리실리콘 패턴을 형성하는 공정은 상기 제 1 및 제 2 영역에 상기 제 1 도전형을 부여하는 공정을 포함하고, 상기 제 2 가교영역에 도전성을 부여하는 공정은 상기 제 1 및 제 2 영역에 상기 제 1 도전형을 부여하는 공정과 동시에 실행되는 것을 특징으로 하는 상기 (9)에 기재된 액정표시장치의 제조방법.

(11) 또한, 상기 게이트 전극 패턴을 형성하는 공정의 후, 상기 배선 패턴을 형성하는 공정보다도 전에, 상기 절연성 기관 상에 상기 게이트 전극 패턴을 덮도록 절연막을 퇴적하는 공정과, 상기 절연막 중에 상기 제 2 가교영역을 노출시키는 개구부를 형성하는 공정을 포함하고, 상기 제 2 가교영역을 절단하는 공정은 상기 개구부에서 상기 제 2 가교영역을 제거하는 공정으로 이루어지는 것을 특징으로 하는 상기 (8) 내지 (10) 중의 어느 하나에 기재된 액정표시장치의 제조방법.

(12) 상기 배선 패턴을 형성하는 공정은 상기 절연막 상에 상기 배선 패턴이 형성되도록 실행되며, 상기 배선 패턴을 형성하는 공정의 후, 상기 제 2 가교영역을 절단하는 공정보다도 전에, 상기 절연막 상에 다른 절연막을 상기 다른 절연막이 상기 배선 패턴을 덮도록 퇴적하는 공정과, 상기 다른 절연막 중에 상기 개구부를 노출시키도록 다른 개구부를 형성하는 공정을 포함하고, 상기 제 2 가교영역을 절단하는 공정은 상기 다른 개구부에 의해 노출된 상기 개구부에서 상기 제 2 가교영역을 제거하는 공정으로 이루어지는 것을 특징으로 하는 상기 (11)에 기재된 액정표시장치의 제조방법.

(13) 상기 제 2 가교영역을 절단하는 공정은 상기 다른 개구부를 형성하는 공정과 실질적으로 동시에 실행되는 것을 특징으로 하는 상기 (12)에 기재된 액정표시장치의 제조방법.

(14) 상기 제 2 가교영역을 절단하는 공정은 상기 다른 절연막 중에 상기 배선 패턴을 노출시키는 콘택트 홀을 형성하는 공정의 후에 실행되는 것을 특징으로 하는 상기 (12)에 기재된 액정표시장치의 제조방법.

(15) 절연성 기관과,

상기 절연성 기관 상에 형성된 제 1 도전형의 제 1 영역과, 상기 제 1 도전형의 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 접속하는 채널 영역으로 이루어진 폴리실리콘 패턴과,

상기 채널 영역을 덮는 게이트 절연막과,

상기 채널 영역 상에 형성된 게이트 전극 패턴으로 이루어진 박막트랜지스터에 있어서,

상기 폴리실리콘 패턴은, 상기 제 1 영역으로부터 연장되고, 제 1 선단부에 의해 형성된 제 1 연장부와, 상기 제 2 영역으로부터 연장되고, 제 2 선단부에 의해 형성된 제 2 연장부를 갖는 것을 특징으로 하는 박막트랜지스터.

(16) 상기 제 1 및 제 2 연장부는 동일한 도전형을 갖는 것을 특징으로 하는 상기 (15)에 기재된 박막트랜지스터.

(17) 상기 박막트랜지스터는 상기 절연성 기관 상에 상기 폴리실리콘 패턴 및 상기 게이트 전극 패턴을 덮도록 형성된 절연막을 더 갖고, 상기 절연막 중에는 상기 제 1 연장부 및 상기 제 2 연장부의 사이에 대응하여, 상기 제 1 선단부 및 상

기 제 2 선단부에 의해 형성된 개구부가 형성되어 있는 것을 특징으로 하는 상기 (15) 또는 (16)에 기재된 박막트랜지스터.

(18) 제 1 유리기판과,

상기 제 1 유리기판에 대향하도록 간극을 사이에 두고 설치된 제 2 유리기판과,

상기 간극 중에 봉입된 액정층과,

상기 제 1 유리기판의 상기 제 2 유리기판에 대면하는 측의 표면에 형성된 박막트랜지스터로 이루어진 액정표시장치로서,

상기 박막트랜지스터는 상기 표면 상에 형성된 제 1 도전형의 제 1 영역과, 상기 제 1 도전형의 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 접속하는 채널 영역으로 이루어진 폴리실리콘 패턴과,

상기 채널 영역을 덮는 게이트 절연막과,

상기 채널 영역 상에 형성된 게이트 전극 패턴으로 이루어지고,

상기 폴리실리콘 패턴은, 상기 제 1 영역으로부터 연장되고, 제 1 선단부에 의해 형성된 제 1 연장부와, 상기 제 2 영역으로부터 연장되고, 제 2 선단부에 의해 형성된 제 2 연장부를 갖는 것을 특징으로 하는 액정표시장치.

(19) 상기 제 1 및 제 2 연장부는 동일한 도전형을 갖는 것을 특징으로 하는 상기 (18)에 기재된 액정표시장치.

(20) 상기 박막트랜지스터는 상기 표면 상에 상기 폴리실리콘 패턴 및 상기 게이트 전극 패턴을 덮도록 형성된 절연막을 갖고, 상기 절연막 중에는 상기 제 1 연장부 및 상기 제 2 연장부의 사이에 대응하여, 상기 제 1 선단부 및 상기 제 2 선단부에 의해 형성된 개구부가 형성되어 있는 것을 특징으로 하는 상기 (18) 또는 (19)에 기재된 액정표시장치.

(21) 상기 절연막 중에는 상기 제 1 영역과 상기 제 2 영역과 상기 게이트 전극 패턴을 각각 노출시키는 제 1, 제 2, 제 3 콘택트 홀이 형성되어 있고, 상기 절연막 상에는 상기 제 1, 제 2, 제 3 콘택트 홀에서 상기 제 1 영역, 상기 제 2 영역, 상기 게이트 전극 패턴과 전기적으로 접속되는 제 1 배선 패턴, 제 2 배선 패턴, 제 3 배선 패턴이 각각 형성되어 있으며,

상기 액정표시장치는 상기 절연막 상에 상기 제 1, 제 2, 제 3 배선 패턴을 덮도록 형성된 다른 절연막과, 상기 다른 절연막 상에 형성된 화소전극과, 상기 다른 절연막 상에 상기 화소전극을 덮도록 형성되어, 상기 액정층과 접속하는 분자배향막을 구비하고, 상기 화소전극은 상기 다른 절연막 중에 형성된 콘택트 홀을 통하여 상기 제 1 배선 패턴에 접속되어 있으며, 상기 분자배향막은 상기 다른 절연막 중에 상기 개구부를 노출시키도록 형성된 다른 개구부를 통하여 상기 개구부를 충전하는 것을 특징으로 하는 상기 (20)에 기재된 액정표시장치.

(22) 패널 영역이 형성된 유리기판과,

상기 유리기판 상의 상기 패널 영역 중에 상기 패널 영역의 경계에 따라 연속적으로 형성된 도전성의 주변부 단락 링과,

상기 유리기판 상의 상기 패널 영역 중에 형성되고, 상기 유리기판 상에 형성된 복수의 박막트랜지스터를 포함하며, 복수의 접속단자를 구비한 내부회로와,

상기 유리기판 상의 상기 패널 영역 중에 형성되고, 각각 상기 복수의 접속단자의 하나를 상기 주변부 단락 링에 전기적으로 접속하는 복수의 저항요소로 이루어진 박막트랜지스터 기판에 있어서,

상기 복수의 저항요소의 각각은, 상기 접속단자와 상기 주변부 단락 링 사이에서 본 저항값이 모든 접속단자에서 실질적으로 일정해지는 것과 같은 값으로 저항값이 설정되어 있는 것을 특징으로 하는 박막트랜지스터 기판.

발명의 효과

특허청구범위의 청구항 1~4에 기재된 본 발명의 특징에 따르면, 액정표시장치의 제조 등에서 절연성 기판 상에 박막트랜지스터를 형성할 때, 상기 박막트랜지스터의 소스 영역 및 드레인 영역, 이것들을 가교하는 채널 영역을 구성하는 폴리실리콘 패턴에 상기 소스 영역 및 드레인 영역을 가교하는 가교영역을 부가함으로써, 종래로부터 사용되고 있는 주변부 단락 링에서는 해소할 수 없었던 상기 박막트랜지스터 내부에서 생기는 대전의 문제, 또는 전극 형상 및 면적 등의 차이에 기인하는 전위차의 불균일의 문제를 해소하는 것이 가능해진다. 그때, 상기 가교영역을 절단하는 공정을 상기 박막트랜지스터의 콘택트 홀의 형성 공정과 동시에 행함으로써, 공정 수의 증가를 회피할 수 있다. 본 발명은 플라즈마 처리를 이용하는 액티브 매트릭스 구동방식의 액정표시장치의 제조 공정에서 특히 유용하다.

특허청구범위의 청구항 5에 기재된 본 발명의 특징에 따르면, 패널 영역이 형성된 유리기판과, 상기 유리기판 상의 상기 패널 영역 중에 상기 패널 영역의 경계에 따라 연속적으로 형성된 도전성의 주변부 단락 링과, 상기 유리기판 상의 상기 패널 영역 중에 형성된 복수의 박막트랜지스터를 포함하고, 복수의 접속단자를 구비한 내부회로로 이루어진 박막트랜지스터 기판에 있어서, 상기 박막트랜지스터 기판의 제조 공정 중에서의 상기 내부회로의 시험을 위해, 상기 유리기판 상의 상기 패널 영역 중에 각각 상기 복수의 접속단자의 하나를 상기 주변부 단락 링에 전기적으로 접속하도록 형성된 복수의 저항요소의 저항값을 상기 접속단자와 상기 주변부 단락 링 사이에서 본 저항값이 모든 접속단자에서 실질적으로 일정해지는 것과 같은 값으로 설정함으로써, 상기 내부회로 중에 상기 접속단자와 상기 주변부 단락 링 사이의 저항값의 차이에 기인하여 야기되는 전압차가 해소되어, 상기 내부회로를 구성하는 박막트랜지스터의 정전 파괴, 또는 열화의 문제를 해소하는 것이 가능해진다.

(57) 청구의 범위

청구항 1. 절연성 기판 상에의 박막트랜지스터의 제조방법에 있어서,

상기 절연성 기판 상에 제 1 도전형을 갖는 제 1 영역과, 상기 제 1 도전형을 갖는 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 1 가교영역과, 상기 제 1 영역과 상기 제 2 영역을 연결하는 제 2 가교영역을 갖는 형상의 폴리실리콘 패턴을 형성하는 공정과,

상기 절연성 기판 상에 상기 폴리실리콘 패턴을 덮도록 절연막을 형성하는 공정과,

상기 절연막 상에 게이트 전극 패턴을, 상기 게이트 전극 패턴이 상기 제 1 가교영역을 덮도록 형성하는 공정과,

상기 제 1 영역에 배선 패턴을 상기 배선 패턴이 상기 제 1 영역에 콘택트하도록 형성하는 공정과,

상기 배선 패턴을 형성하는 공정 후, 상기 제 2 가교영역을 절단하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 2. 제 1 항에 있어서,

상기 폴리실리콘 패턴을 형성하는 공정은 상기 제 2 가교영역에 도전성을 부여하는 공정을 더 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 3. 절연성 기판과,

상기 절연성 기판 상에 형성된, 제 1 도전형의 제 1 영역과, 상기 제 1 도전형의 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 접속하는 채널 영역으로 이루어진 폴리실리콘 패턴과,

상기 채널 영역을 덮는 게이트 절연막과,

상기 채널 영역 상에 형성된 게이트 전극 패턴으로 이루어진 박막트랜지스터에 있어서,

상기 폴리실리콘 패턴은, 상기 제 1 영역으로부터 연장되고, 제 1 선단부에 의해 형성된 제 1 연장부와, 상기 제 2 영역으로부터 연장되고, 제 2 선단부에 의해 형성된 제 2 연장부를 갖는 것을 특징으로 하는 박막트랜지스터.

청구항 4. 제 1 유리기판과,

상기 제 1 유리기판에 대향하도록 간극을 사이에 두고 설치된 제 2 유리기판과,

상기 간극 중에 봉입된 액정층과,

상기 제 1 유리기판의 상기 제 2 유리기판에 대면하는 측의 표면에 형성된 박막트랜지스터로 이루어진 액정표시장치로서,

상기 박막트랜지스터는 상기 표면 상에 형성된, 제 1 도전형의 제 1 영역과, 상기 제 1 도전형의 제 2 영역과, 상기 제 1 영역과 상기 제 2 영역을 접속하는 채널 영역으로 이루어진 폴리실리콘 패턴과,

상기 채널 영역을 덮는 게이트 절연막과,

상기 채널 영역 상에 형성된 게이트 전극 패턴으로 이루어지고,

상기 폴리실리콘 패턴은, 상기 제 1 영역으로부터 연장되고, 제 1 선단부에 의해 형성된 제 1 연장부와, 상기 제 2 영역으로부터 연장되고, 제 2 선단부에 의해 형성된 제 2 연장부를 갖는 것을 특징으로 하는 액정표시장치.

청구항 5. 패널 영역이 형성된 유리기판과,

상기 유리기판 상의 상기 패널 영역 중에 상기 패널 영역의 경계를 따라 연속적으로 형성된 도전성의 주변부 단락 링과,

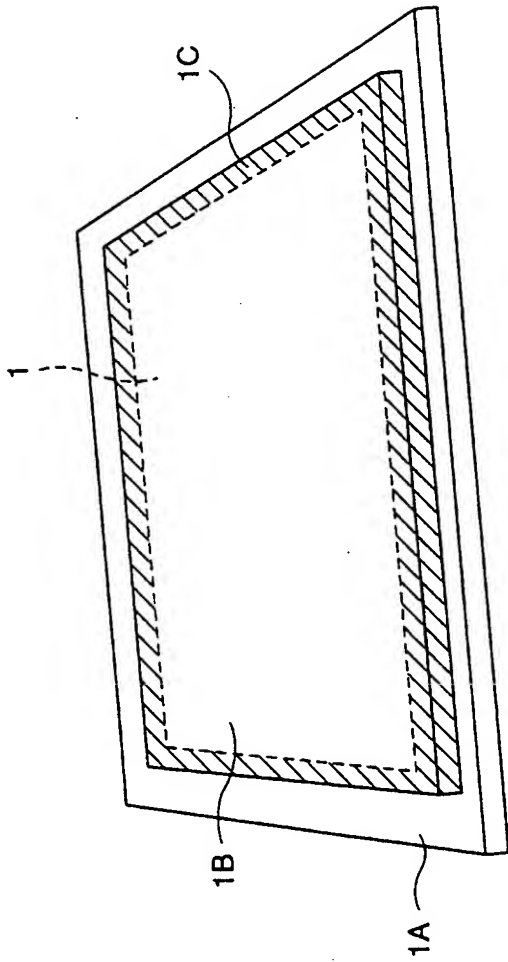
상기 유리기판 상의 상기 패널 영역 중에 형성되고, 상기 유리기판 상에 형성된 복수의 박막트랜지스터를 포함하며, 복수의 접속단자를 구비한 내부회로와,

상기 유리기판 상의 상기 패널 영역 중에 형성되고, 각각 상기 복수의 접속단자 중 하나를 상기 주변부 단락 링에 전기적으로 접속하는 복수의 저항요소로 이루어진 박막트랜지스터 기판에 있어서,

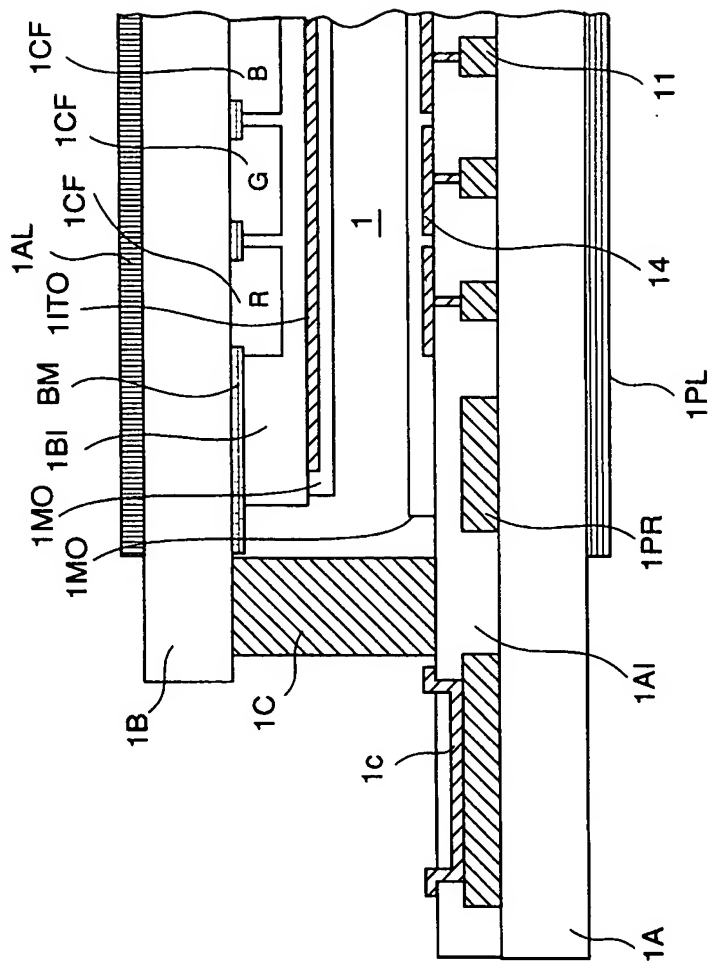
상기 복수의 저항요소의 각각은, 상기 접속단자와 상기 주변부 단락 링 사이에서 본 저항값이 모든 접속단자에서 실질적으로 일정해지는 것과 같은 값으로 저항값이 설정되어 있는 것을 특징으로 하는 박막트랜지스터 기판.

도면

도면1

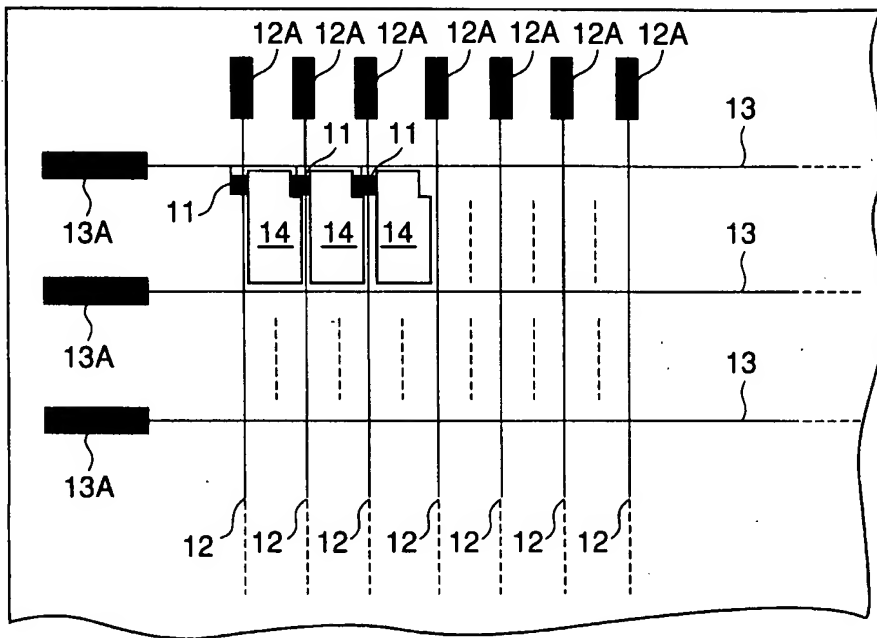


도면2

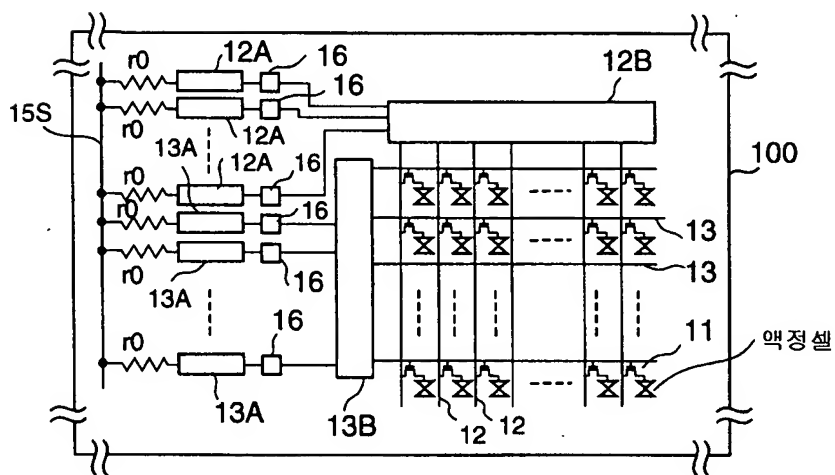
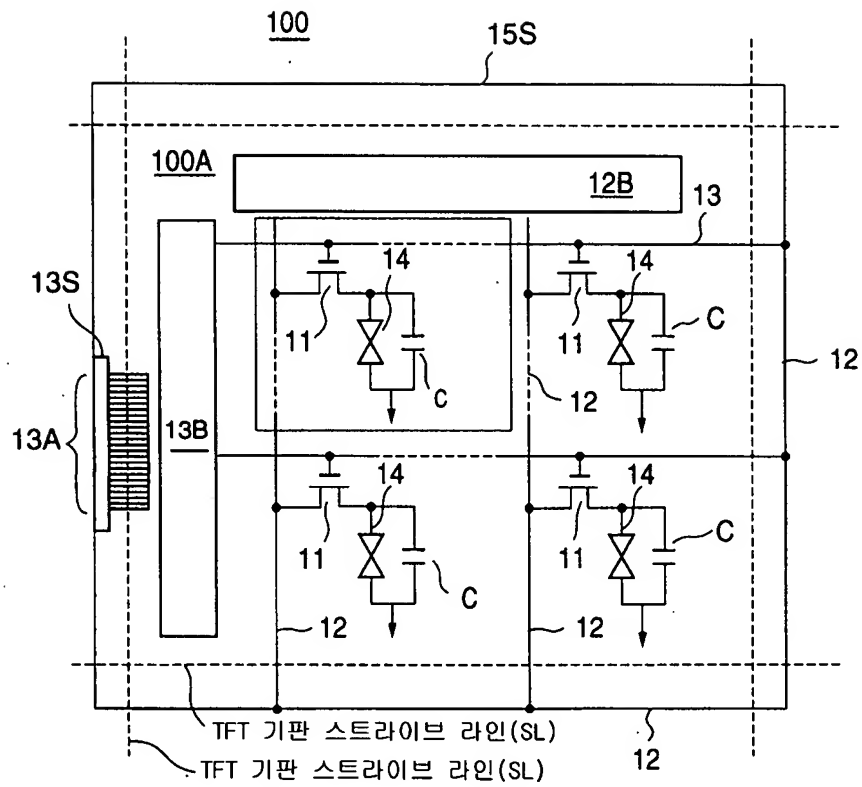


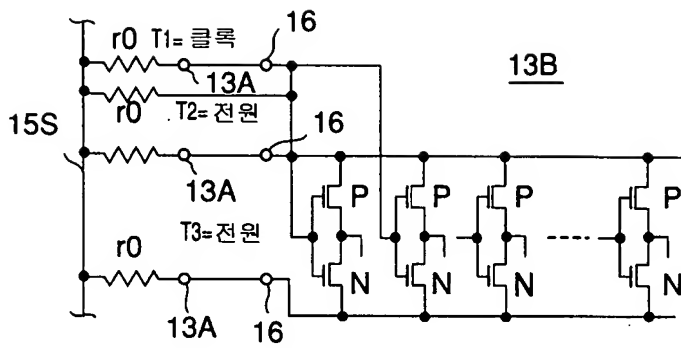
도면3

1A

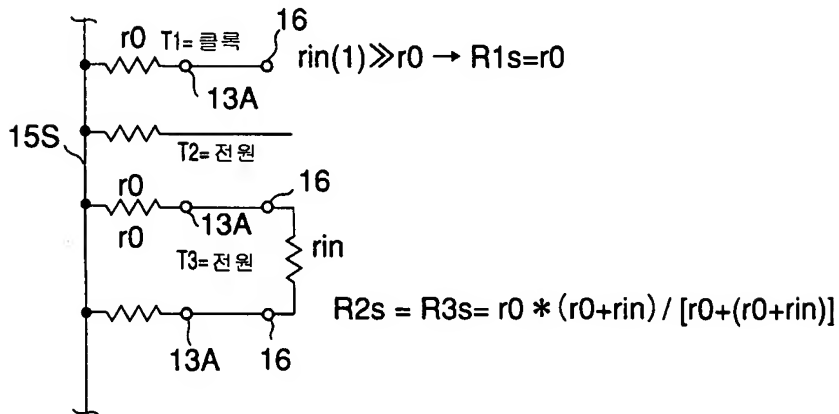


도면4

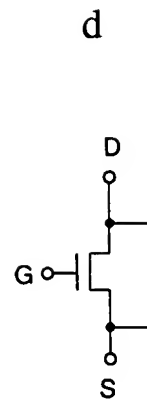
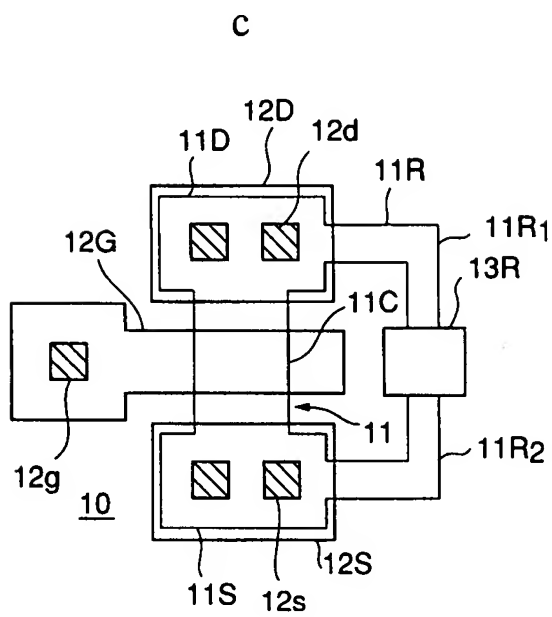
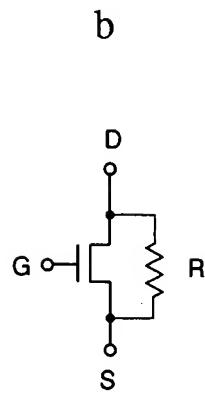
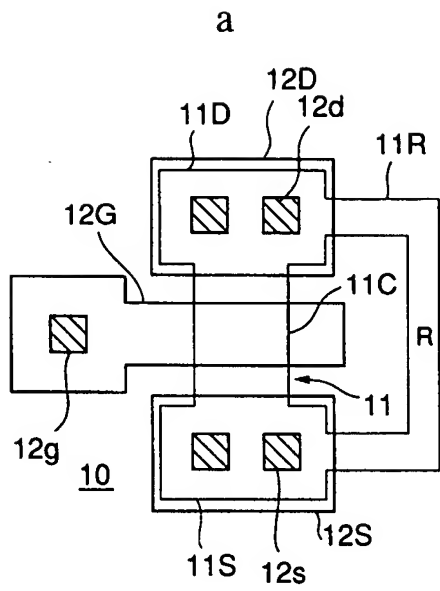




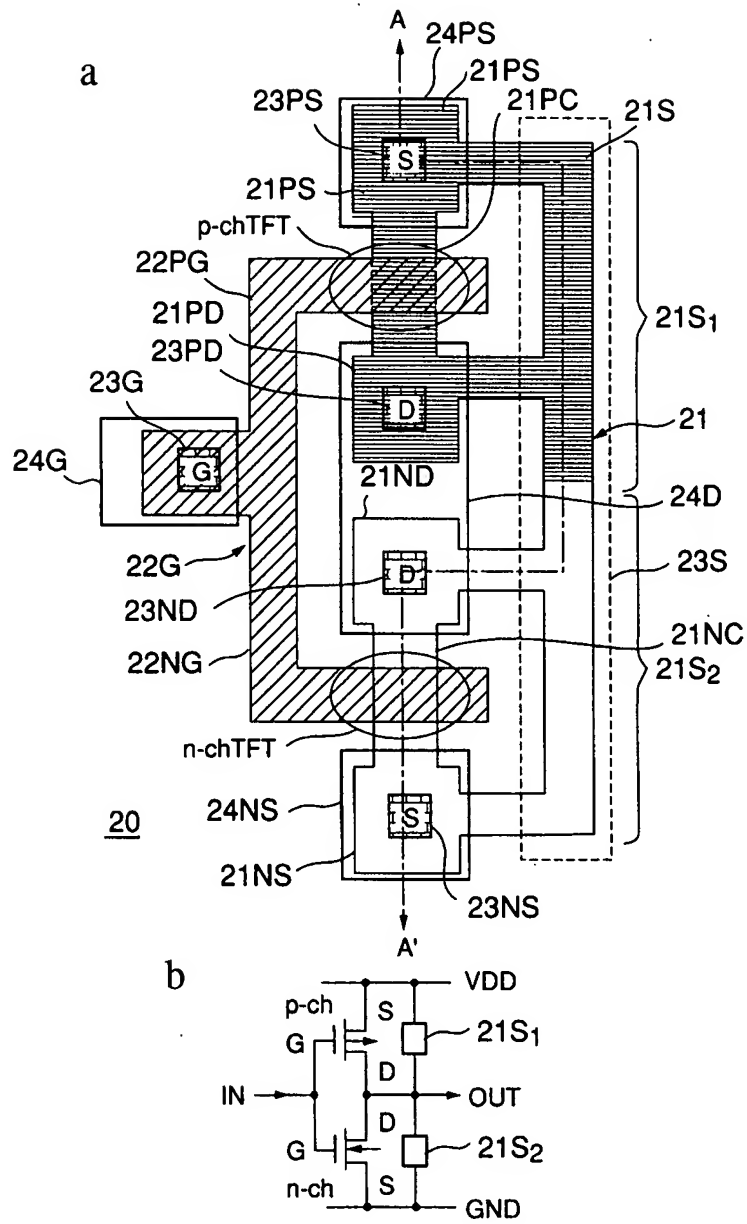
도면 5c



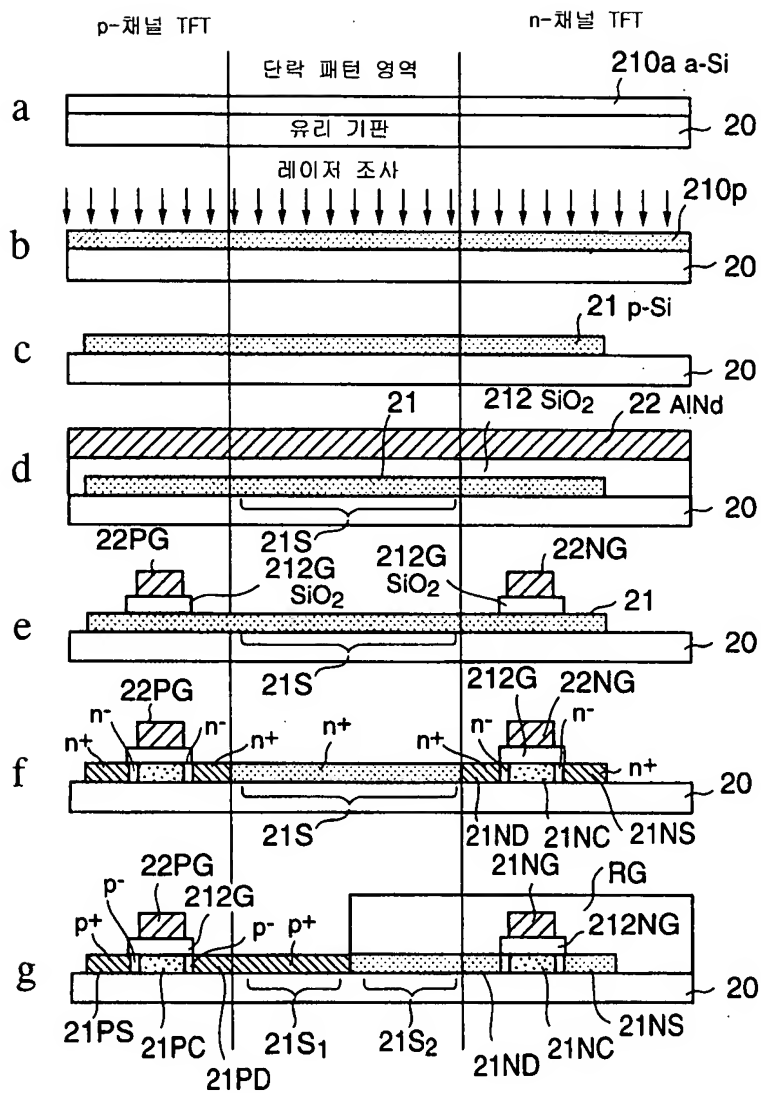
도면 6



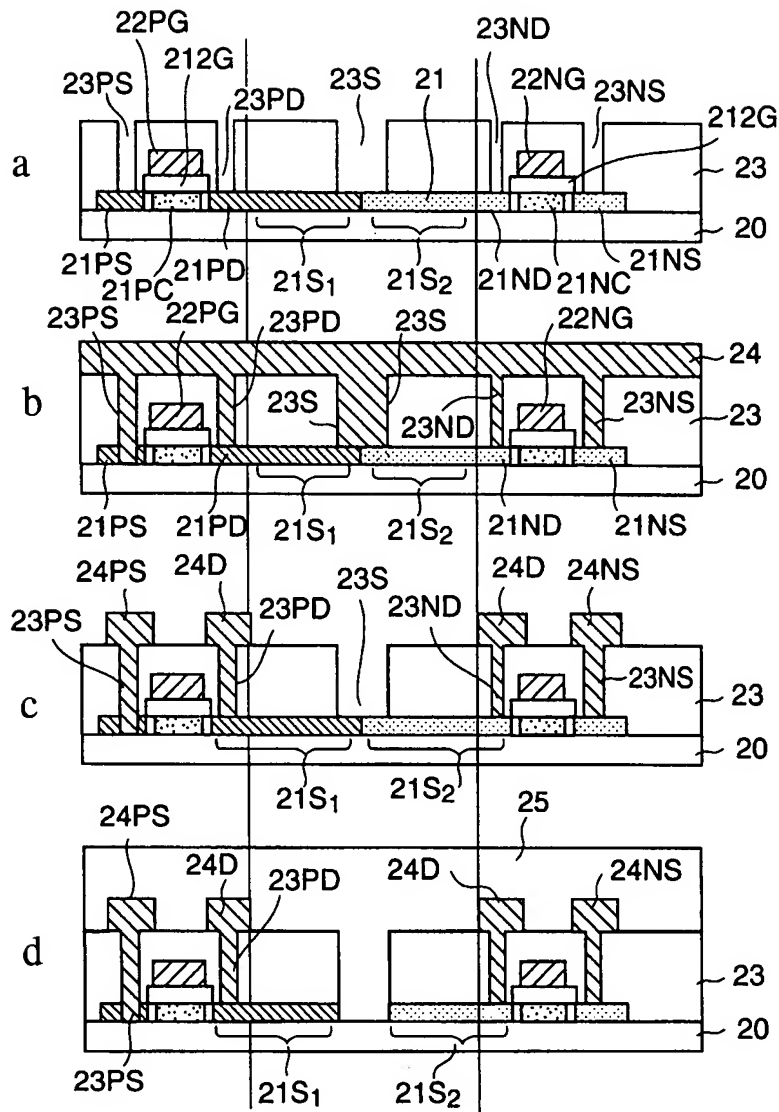
도면7



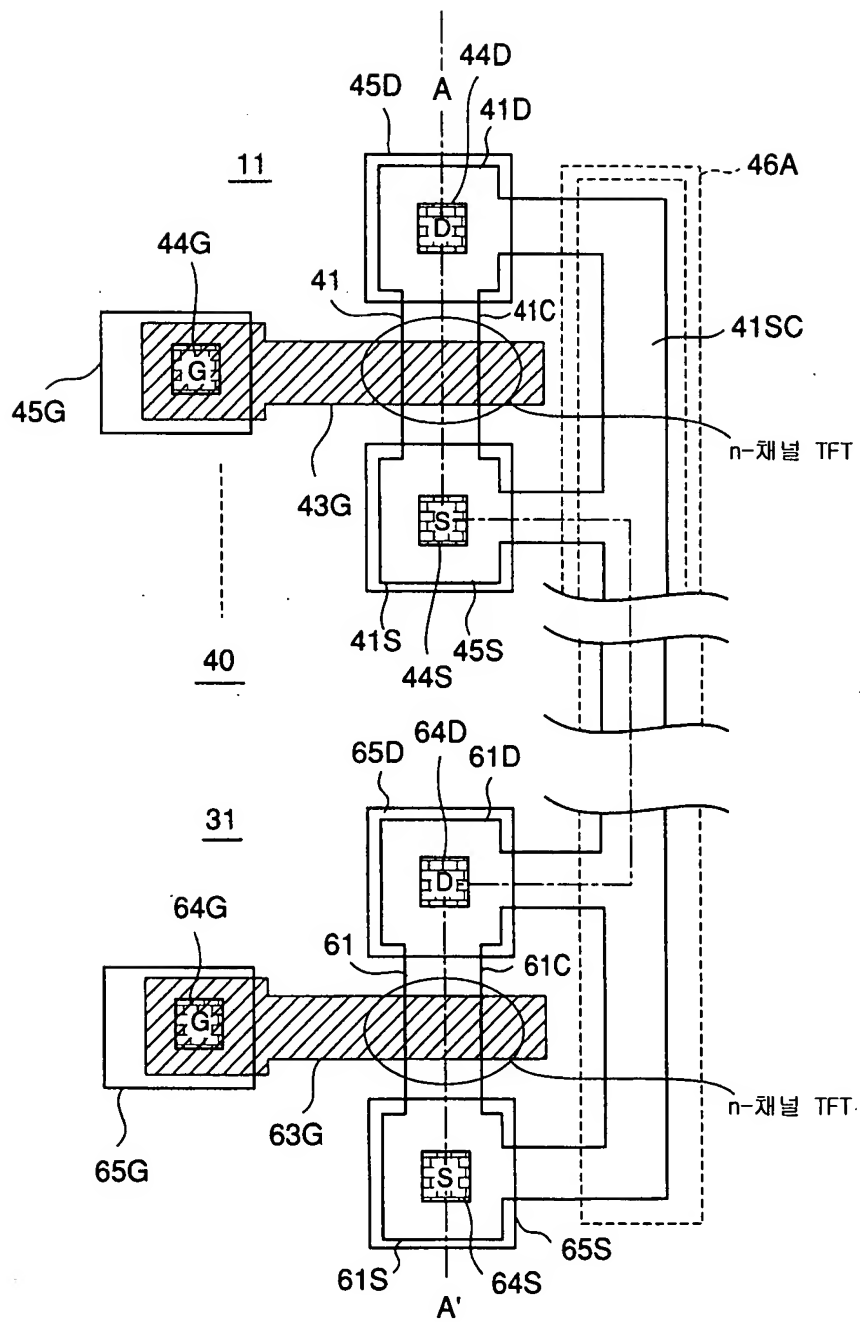
도면 8



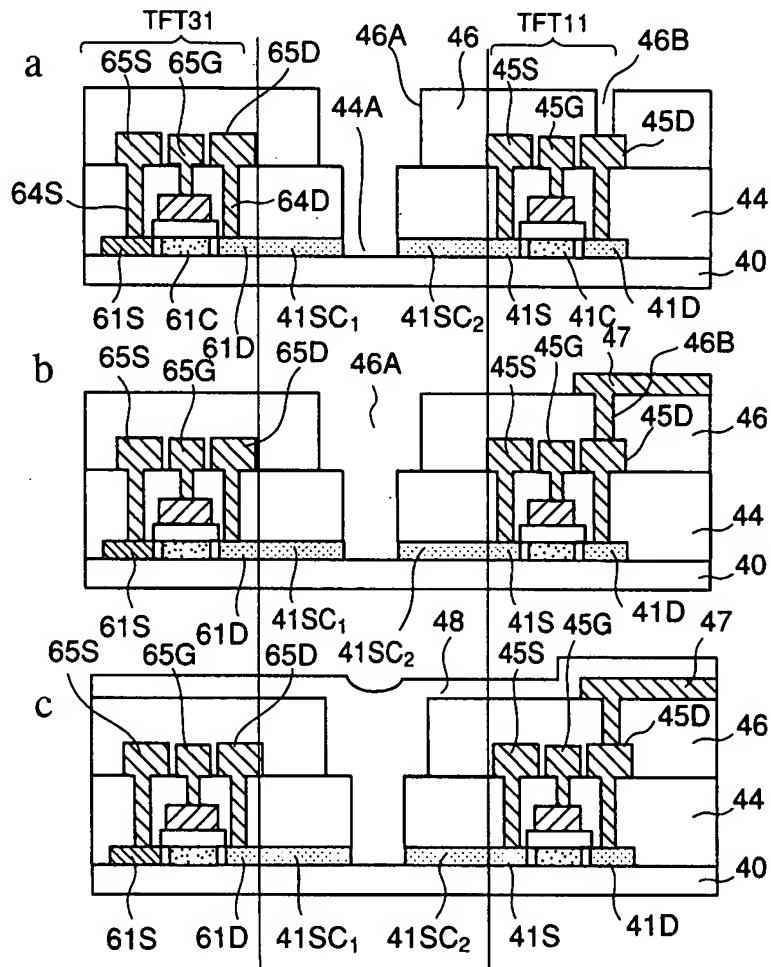
도면9



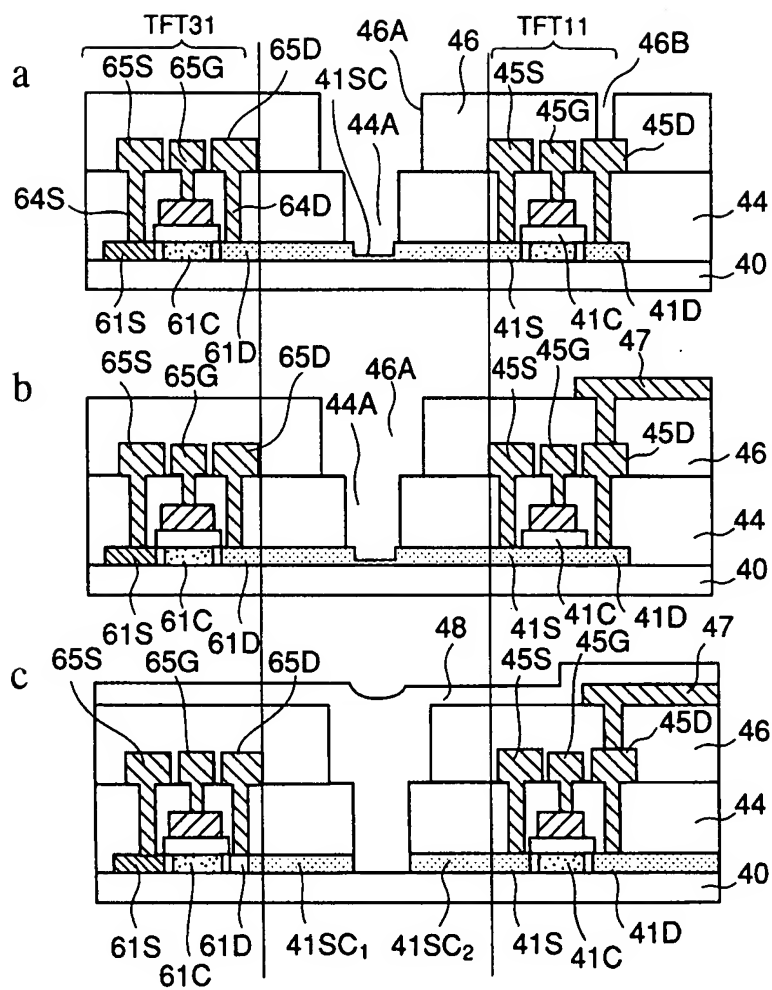
도면 10



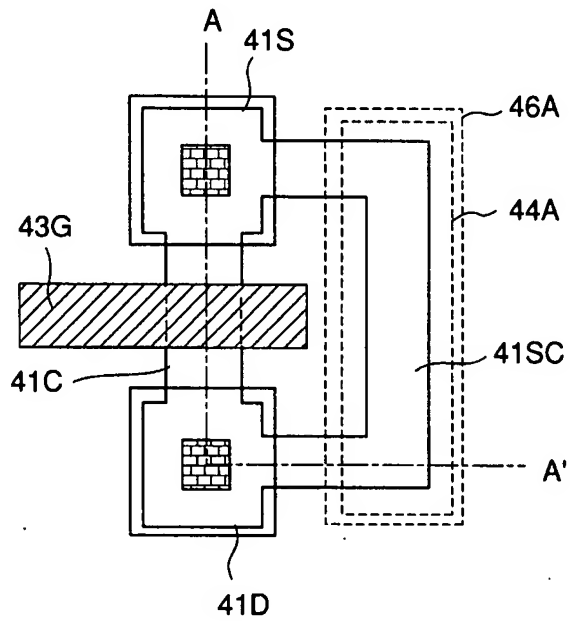
도면II



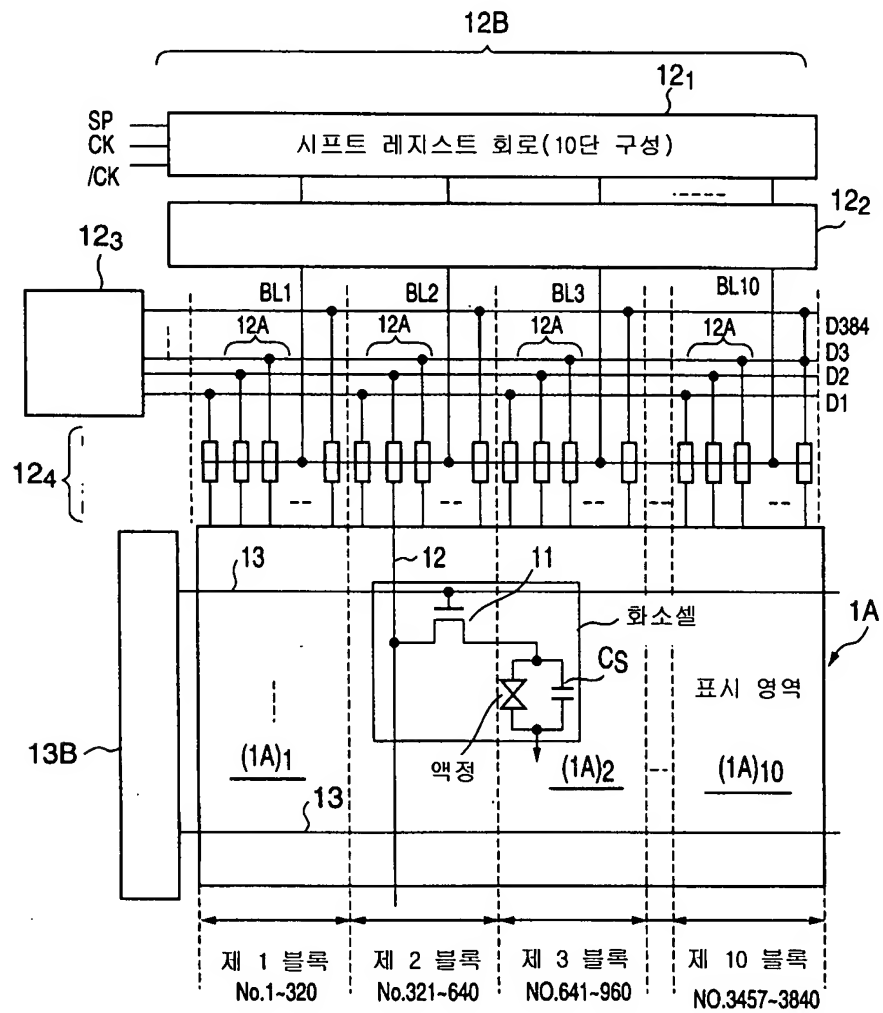
도면 13



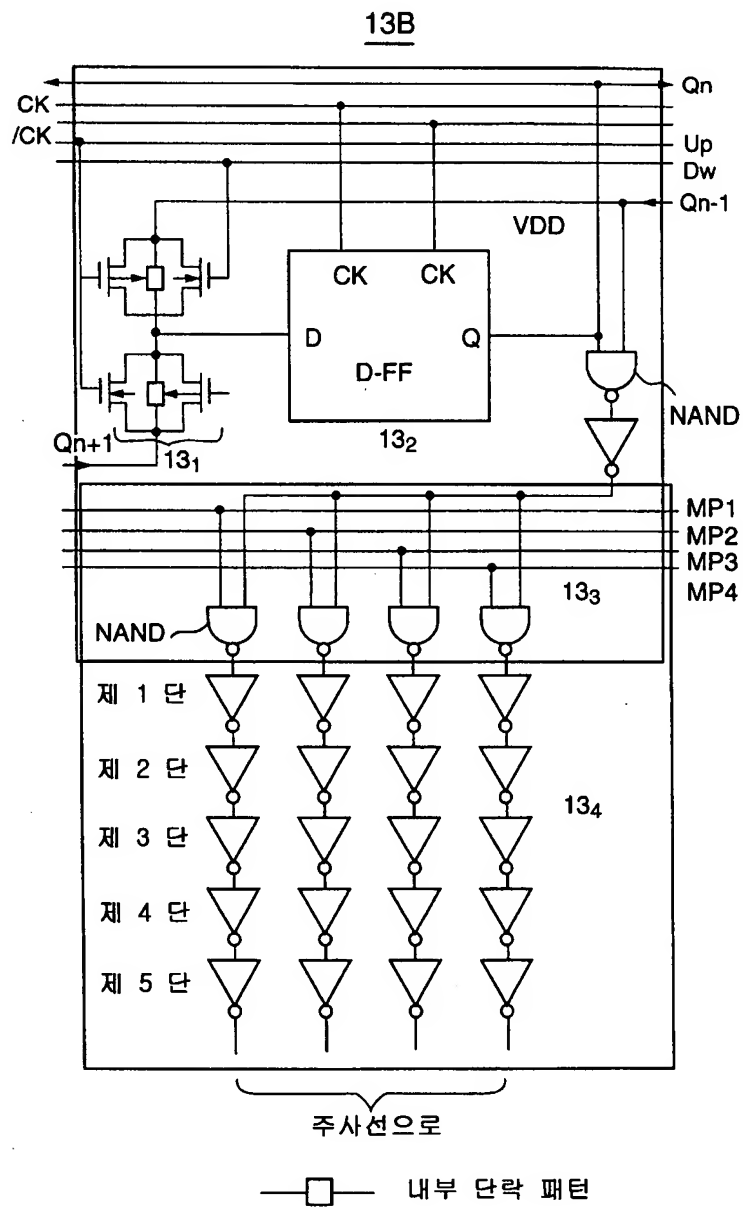
도면 14



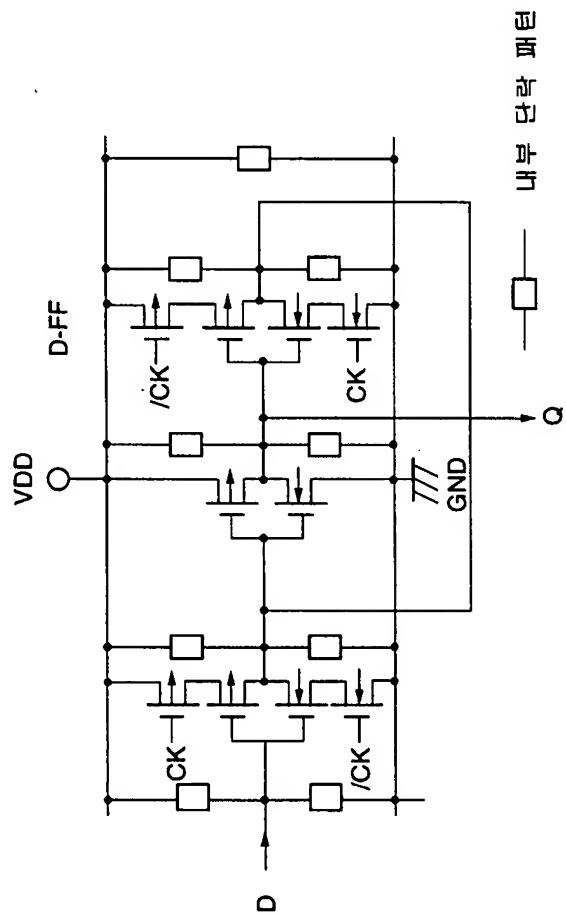
도면 15



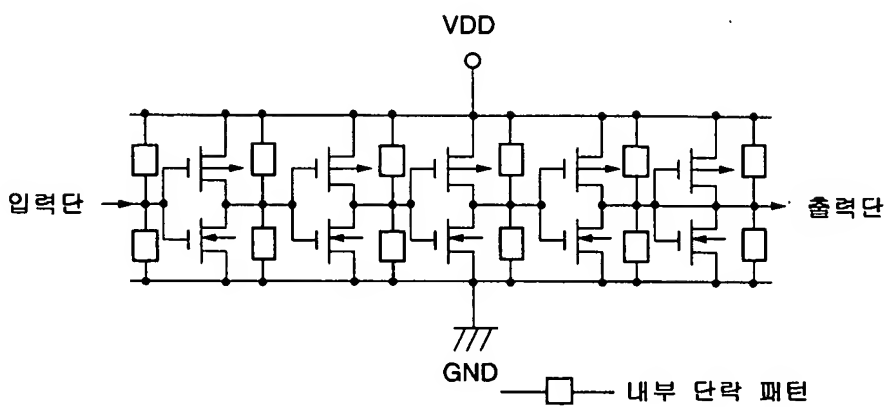
도면 16



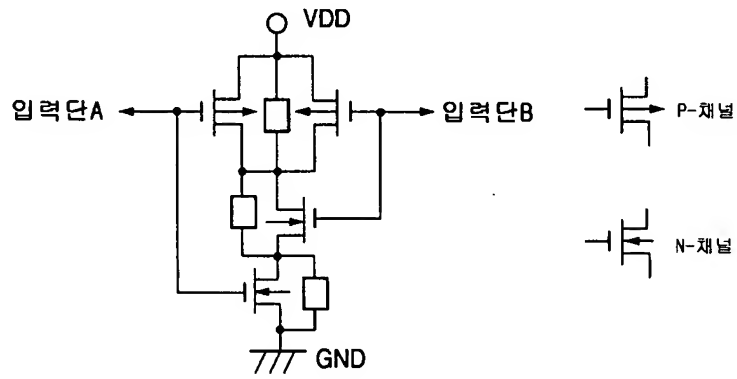
도면 17



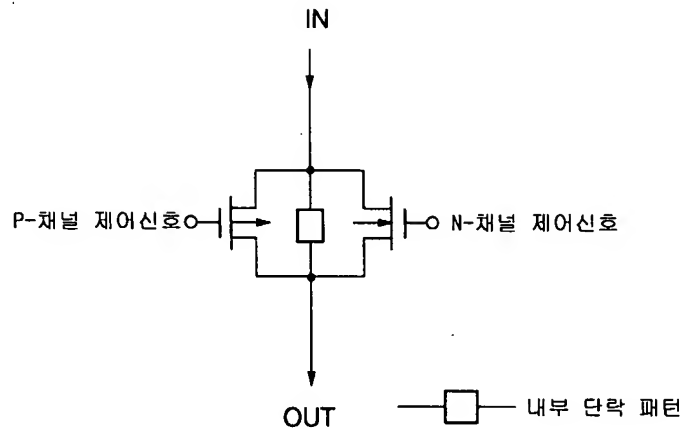
도면 18



도면19



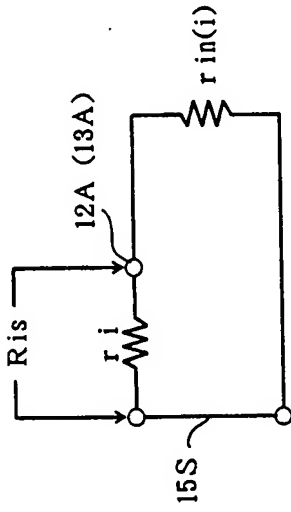
도면20



도면21



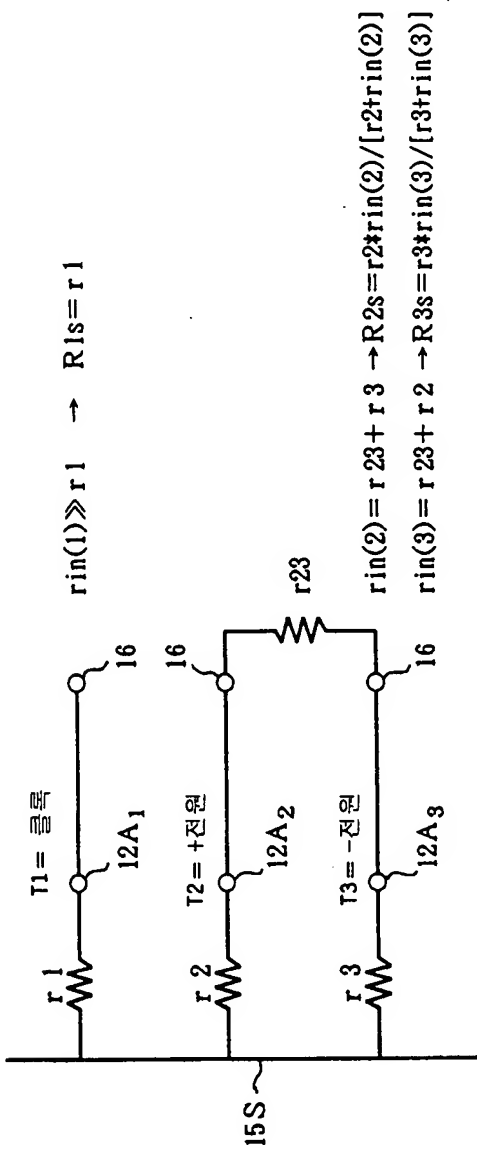
도면 24



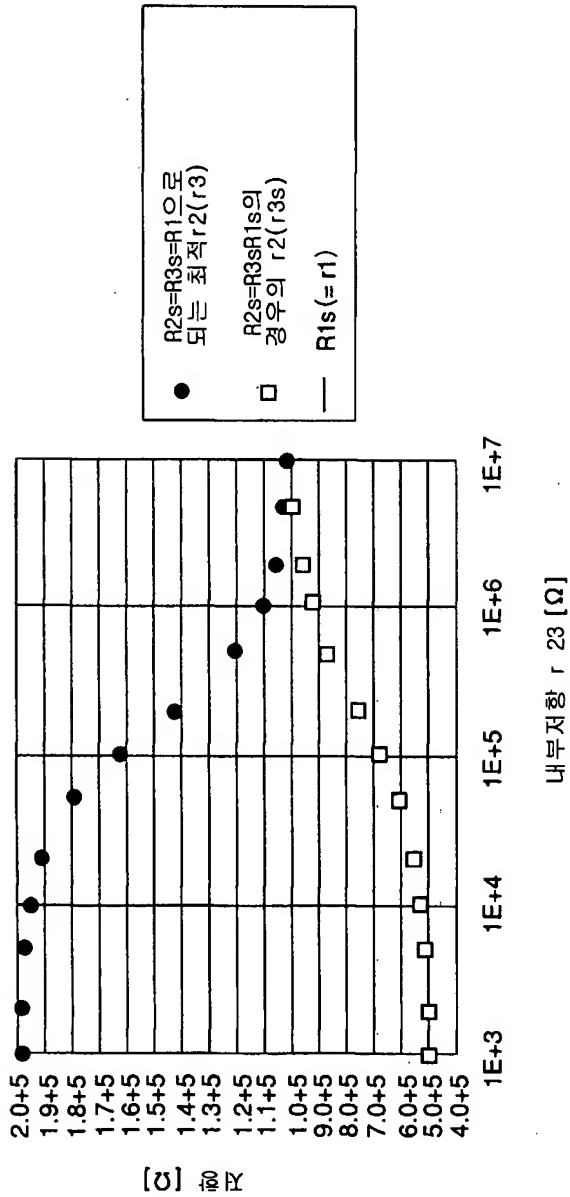
$$R_{is} = r_i + r_{in}(i) \quad / \quad [r_{in}(i)]$$

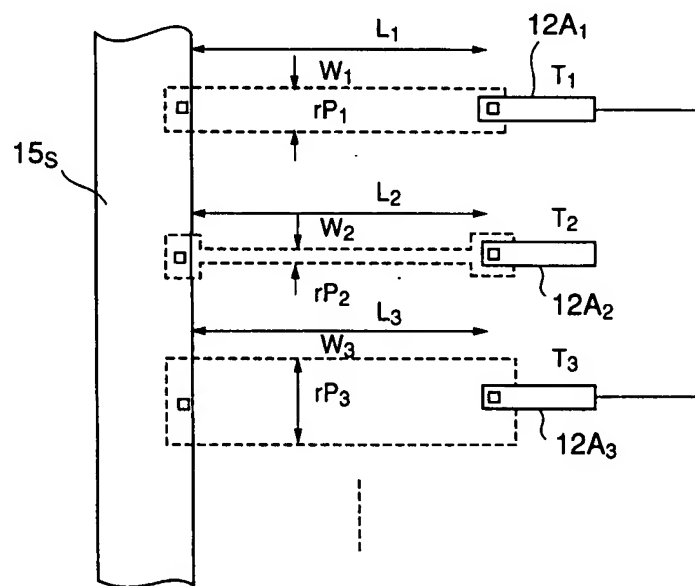
※ 일정(각 i 에 대하여)

도면 25

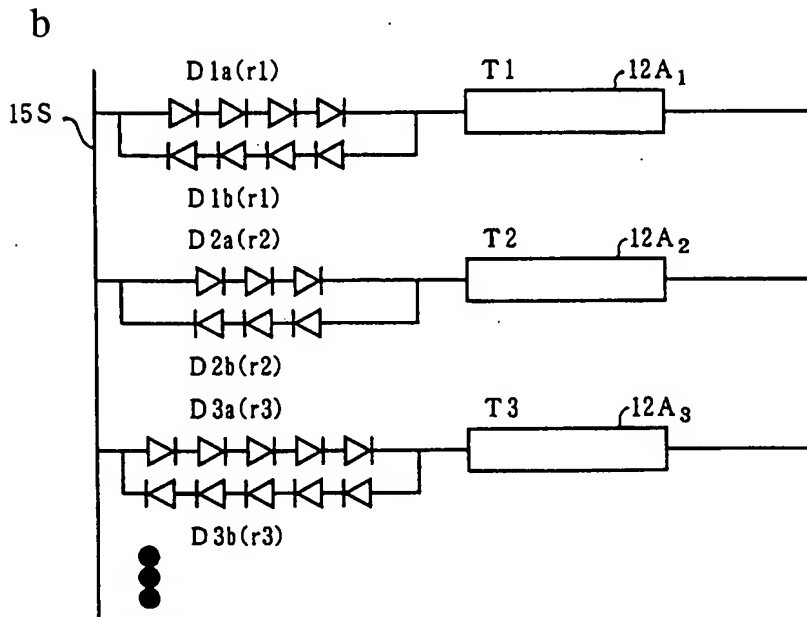
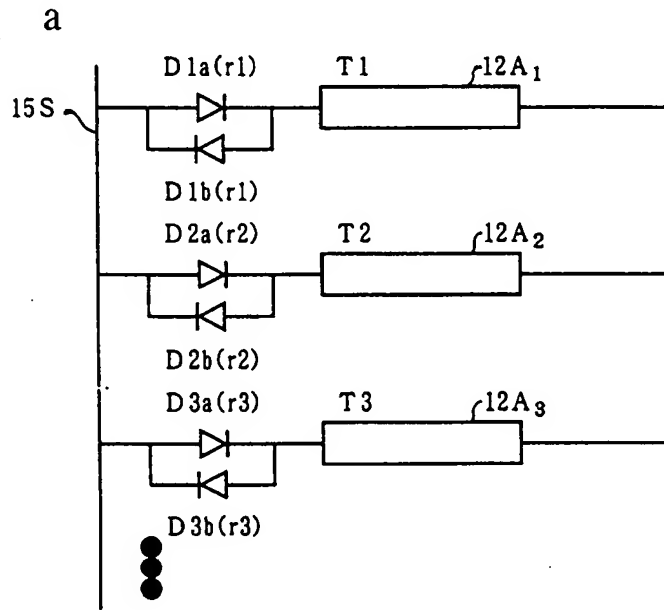


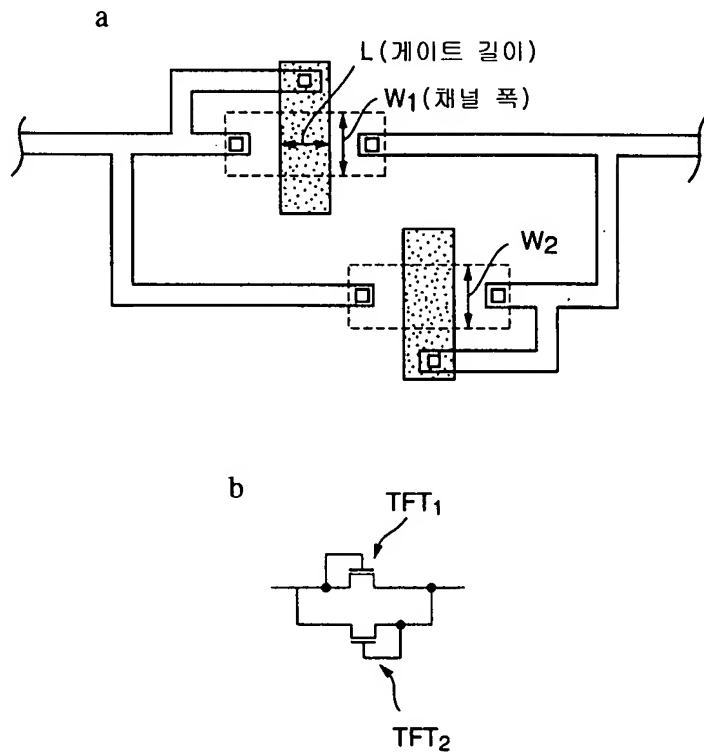
도면 26



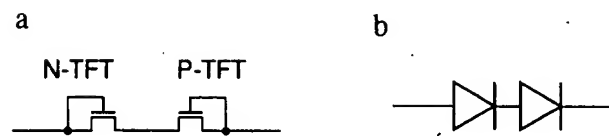


도면 27





도면29



도면30

